



H-1012

MATTINGLY, STANGER & MALUR
1800 Diagonal Road, Suite 370
Alexandria, Virginia 22314
(703) 684-1120

In re Patent Application of

T. ONO et al

Serial No. 09/964,474

Group Art Unit: 2827

Filed: September 28, 2001

Examiner: A. Chambliss

For: MEMORY SYSTEM WITH A SOCKET HAVING SOCKET PINS FOR
MOUNTING MEMORY MODULES

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified priority document (JP 2000-305633) of a corresponding Japanese patent application for the purpose of claiming foreign priority under 35 U.S.C. § 119. An indication that this document has been safely received would be appreciated.

Respectfully submitted,

John R. Mattingly
Registration No. 30,293
Attorney for Applicant(s)

MATTINGLY, STANGER & MALUR
1800 Diagonal Rd., Suite 370
Alexandria, Virginia 22314
(703) 684-1120
Date: April 30, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月 5日

出 願 番 号

Application Number:

特願2000-305633

出 願 人

Applicant(s):

株式会社日立製作所

T. Ono et al

H 1012

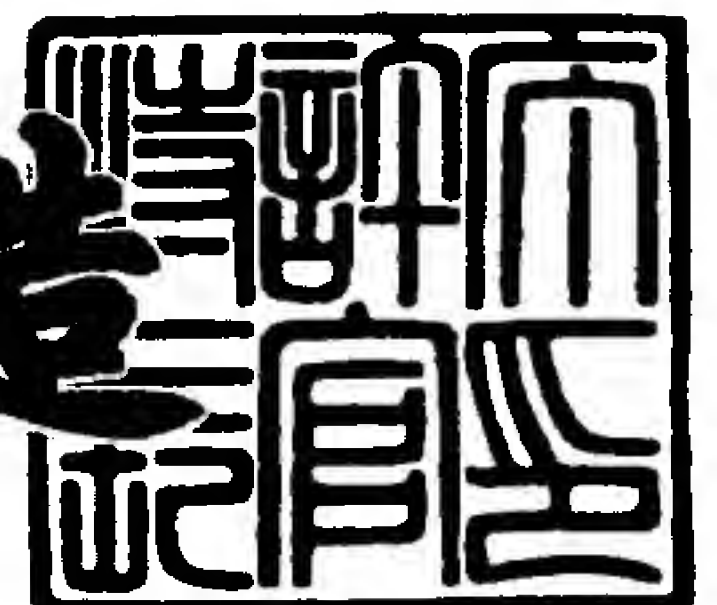
09/964,474

atty: (03) 684-1120

2001年 9月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3087751

【書類名】 特許願

【整理番号】 H00005801

【提出日】 平成12年10月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/32
H01L 25/00

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 大野 隆夫

【発明者】

【住所又は居所】 群馬県高崎市西横手町 1 番地 1 日立東部セミコンダ
クタ株式会社内

【氏名】 岩崎 浩典

【発明者】

【住所又は居所】 群馬県高崎市西横手町 1 番地 1 日立東部セミコンダ
クタ株式会社内

【氏名】 田中 光矢

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリシステムおよび接続部材

【特許請求の範囲】

【請求項 1】 メモリコントローラと複数のメモリモジュールとをマザーボード上の配線を介して接続したメモリシステムであって、

一点から枝分かれした複数のソケットピンを有するソケットを用いて、前記マザーボード上の配線と前記複数の各メモリモジュールとを接続し、

前記メモリコントローラと前記各メモリモジュールとを等距離に接続することを特徴とするメモリシステム。

【請求項 2】 請求項 1 記載のメモリシステムにおいて、

前記各メモリモジュールは前記ソケットのソケットピンを介して前記マザーボード上に放射状に実装されることを特徴とするメモリシステム。

【請求項 3】 請求項 1 記載のメモリシステムにおいて、

前記各メモリモジュールは前記ソケットのソケットピンを介して前記マザーボードに平行に実装されることを特徴とするメモリシステム。

【請求項 4】 請求項 1 記載のメモリシステムにおいて、

前記ソケットのソケットピンが枝分かれする前記一点は、前記マザーボード上の配線の一点であることを特徴とするメモリシステム。

【請求項 5】 請求項 1 記載のメモリシステムにおいて、

前記ソケットのソケットピンが枝分かれする前記一点は、前記ソケット内の配線を介して前記マザーボード上の配線に接続されることを特徴とするメモリシステム。

【請求項 6】 請求項 1 記載のメモリシステムにおいて、

前記ソケットのソケットピンのうち、アドレス信号、コントロール信号、データ信号、データ管理信号のピンは前記各メモリモジュールに共通で、クロック信号、クロック管理信号、バンク選択信号、電源信号のピンは前記各メモリモジュールで分離することを特徴とするメモリシステム。

【請求項 7】 請求項 1 記載のメモリシステムにおいて、

前記マザーボード上の配線に終端抵抗が接続されていない、または配線の片側

に終端抵抗が接続される、または両側に終端抵抗が接続されることを特徴とするメモリシステム。

【請求項8】 メモリコントローラと複数のメモリモジュールとをマザーボード上の配線を介して接続したメモリシステムであって、

(メモリコントローラから見た最近メモリモジュールと最遠メモリモジュールとの距離差) < ((メモリモジュール基板+実装メモリIC)の厚み) × (メモリモジュール数-1)、

の条件を満足することを特徴とするメモリシステム。

【請求項9】 基板と、

上記基板上に配置されたメモリコントローラと、

上記基板上に配置され、複数のメモリモジュールを装着することが可能なソケットとを含むメモリシステムであって、

上記ソケットに装着可能な複数のメモリモジュールの各々と上記メモリコントローラとは等距離に配線されることを特徴とするメモリシステム。

【請求項10】 基板と、

上記基板上に配置されたメモリコントローラと、

上記基板上に配置され、複数の第1端子を有する第1装着口と複数の第2端子を有する第2装着口とを有する接続部材とを有するメモリシステムであって、

上記第1装着口の上記複数の第1端子と第1メモリモジュールの複数の第3端子とが接続されるように、上記第1装着口に上記第1メモリモジュールを装着することが可能であり、

上記第2装着口の上記複数の第2端子と第2メモリモジュールの複数の第4端子とが接続されるように、上記第2装着口に上記第2メモリモジュールを装着することが可能であり、

上記メモリコントローラと上記複数の第1端子のうちの1つの端子との間の配線距離と、上記メモリコントローラと上記第1端子のうちの上記1つの端子に対応する上記複数の第2端子のうちの1つの端子との間の配線距離とは、実質的に等しいことを特徴とするメモリシステム。

【請求項11】 請求項10記載のメモリシステムであって、

上記複数の第 1 端子のうちの上記 1 つの端子、および上記複数の第 1 端子のうちの上記 1 つの端子に対応する上記複数の第 2 端子のうちの上記 1 つの端子とは、ともにデータ端子であることを特徴とするメモリシステム。

【請求項 1 2】 基板と、

上記基板上に配置され、第 1 端子を含む制御装置と、

上記基板上に配置され、第 2 端子を有する第 1 装着部と上記第 2 端子に対応する第 3 端子を有する第 2 装着部とを有する接続部材とを含むメモリシステムであって、

上記第 1 装着部には、第 1 メモリモジュールが装着可能とされ、

上記第 2 装着部には、第 2 メモリモジュールが装着可能とされ、

上記第 1 メモリモジュールは第 4 端子を有し、

上記第 2 メモリモジュールは第 5 端子を有し、

上記第 1 メモリモジュールが上記第 1 装着部に装着された時、上記第 2 端子と上記第 4 端子とが接続され、

上記第 2 メモリモジュールが上記第 2 装着部に装着された時、上記第 3 端子と上記第 5 端子とが接続され、

上記制御装置の上記第 1 端子と上記第 1 装着部の上記第 2 端子との間の配線の最短距離と、上記制御装置の上記第 1 端子と上記第 2 装着部の上記第 3 端子との間の配線の最短距離とは、実質的に等しいことを特徴とするメモリシステム。

【請求項 1 3】 請求項 1 2 記載のメモリシステムであって、

上記第 2 端子および上記第 3 端子は、ともにデータ端子であることを特徴とするメモリシステム。

【請求項 1 4】 請求項 1 2 記載のメモリシステムであって、

上記接続部材は、第 6 端子を有し、

上記基板は、上記第 1 端子と上記第 6 端子との間に接続される第 1 基板配線をさらに有し、

上記接続部材は、上記第 6 端子と上記第 2 端子との間に接続される第 1 配線部材と、上記第 6 端子と上記第 3 端子との間に接続される第 2 配線部材とをさらに有することを特徴とするメモリシステム。

【請求項 1 5】 請求項 1 4 記載のメモリシステムであって、
上記第 1 配線部材と上記第 2 配線部材との長さは、実質的に等しいことを特徴とするメモリシステム。

【請求項 1 6】 請求項 1 4 記載のメモリシステムであって、
上記接続部材は、ソケットであり、
上記第 1 装着部と上記第 1 配線部材とにより第 1 ソケットピンが構成され、
上記第 2 装着部と上記第 2 配線部材とにより第 2 ソケットピンが構成されることを特徴とするメモリシステム。

【請求項 1 7】 請求項 1 2 記載のメモリシステムであって、
上記第 1 メモリモジュールが上記第 1 装着部に装着され、かつ上記第 2 メモリモジュールが上記第 2 装着部に装着された時、上記第 1 メモリモジュールおよび上記第 2 メモリモジュールは、放射状に配置されることを特徴とするメモリシステム。

【請求項 1 8】 請求項 1 2 記載のメモリシステムであって、
上記第 1 メモリモジュールが上記第 1 装着部に装着され、かつ上記第 2 メモリモジュールが上記第 2 装着部に装着された時、上記第 1 メモリモジュールおよび上記第 2 メモリモジュールは、並行に配置されることを特徴とするメモリシステム。

【請求項 1 9】 請求項 1 2 記載のメモリシステムであって、
上記第 1 メモリモジュールは第 6 端子をさらに有し、
上記第 2 メモリモジュールは上記第 6 端子に対応する第 7 端子を有し、
上記第 1 装着部は、第 8 端子をさらに有し、
上記第 2 装着部は、第 9 端子をさらに有し、
上記第 1 メモリモジュールが上記第 1 装着部に装着された時、上記第 6 端子と上記第 8 端子とが接続され、
上記第 2 メモリモジュールが上記第 2 装着部に装着された時、上記第 7 端子と上記第 9 端子とが接続され、
上記制御装置は、上記第 8 端子と接続される第 1 0 端子および上記第 9 端子と接続される第 1 1 端子をさらに有することを特徴とするメモリシステム。

【請求項20】 請求項19記載のメモリシステムであって、
上記第8端子は、第1クロック信号を受ける端子であり、
上記第9端子は、第2クロック信号を受ける端子であることを特徴とするメモリシステム。

【請求項21】 請求項19記載のメモリシステムであって、
上記第8端子は、第1チップ選択信号を受ける端子であり、
上記第9端子は、第2チップ選択信号を受ける端子であることを特徴とするメモリシステム。

【請求項22】 請求項19記載のメモリシステムであって、
上記第8端子は、第1クロックイネーブル信号を受ける端子であり、
上記第9端子は、第2クロックイネーブル信号を受ける端子であることを特徴とするメモリシステム。

【請求項23】 請求項12記載のメモリシステムであって、
上記第1メモリモジュールおよび上記第2メモリモジュールには、複数のダイナミック型メモリチップが実装されることを特徴とするメモリシステム。

【請求項24】 請求項12記載のメモリシステムであって、
上記制御装置は、メモリコントローラであることを特徴とするメモリシステム。

【請求項25】 第1端子を有する第1装着部と、上記第1端子に対応する第2端子を有する第2装着部と、第3端子とを含む接続部材であって、
上記第1装着部には、第1メモリモジュールが装着可能とされ、
上記第2装着部には、第2メモリモジュールが装着可能とされ、
上記第1メモリモジュールは第4端子を有し、
上記第2メモリモジュールは上記第4端子に対応する第5端子を有し、
上記第1メモリモジュールが上記第1装着部に装着された時、上記第1端子と上記第4端子とが接続され、
上記第2メモリモジュールが上記第2装着部に装着された時、上記第2端子と上記第5端子とが接続され、
上記第3端子と上記第1装着部の上記第1端子とは、第1配線部材により接続

され、

上記第 3 端子と上記第 2 装着部の上記第 2 端子とは、第 2 配線部材により接続され、

上記第 1 配線部材の長さと上記第 2 配線部材の長さとは等しいことを特徴とする接続部材。

【請求項 2 6】 請求項 2 5 記載の接続部材であって、

上記接続部材は、メモリモジュールソケットであることを特徴とする接続部材

。

【請求項 2 7】 請求項 2 6 記載の接続部材であって、

上記第 1 装着部と上記第 1 配線部材とは、第 1 ソケットピンであり、

上記第 2 装着部と上記第 2 配線部材とは、第 2 ソケットピンであることを特徴とする接続部材。

【請求項 2 8】 請求項 2 5 記載の接続部材であって、

上記接続部材は、実装基板上に配置可能であることを特徴とする接続部材。

【請求項 2 9】 請求項 2 5 記載の接続部材であって、

上記第 1 端子および上記第 2 端子は、ともにデータ端子であることを特徴とする接続部材。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数のメモリモジュールを実装したシステム技術に関し、特にマザーボード上にソケットを介して各メモリモジュールを実装し、メモリコントローラと各メモリモジュールとを等距離に接続するメモリシステムに適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

たとえば、本発明者が検討した技術として、複数のメモリモジュールを実装したメモリシステムにおいては、マザーボードのバス配線長やそのバス上のメモリモジュールのソケット数が信号波形に与える影響（インピーダンスアンマッチン

グによる信号反射波での波形の変形など)が、クロック周波数133MHz以上のシンクロナスDRAMなどでは無視できない要因となりつつある。

【0003】

特に、多数のスロットを持つバスでは、終端での反射波により、近端のソケットと遠端のソケットでの波形が大きく異なり、タイミング設計が難しい。また、ソケット数が増えるほどバス配線長が長くなり、配線容量も増加し、高速動作に不向きとなる。これにより、高速動作には、短いバス配線で、なおかつソケット間の距離が短いほど特性の向上が図れることが分かる。

【0004】

従って、このようなメモリシステムにおいては、高速化のためにメモリモジュールのバス配線はなるべく短く設計する必要がある。しかし、バスの配線長は、ソケットまたはモジュールの厚さのどちらか大きい方と、ソケット数で基本的に決まる。一方、モジュールの厚さは、最大厚がJEDECなどで決定しており、その結果、仕様が同一ならばバス幅はどの製品もほぼ同等である。

【0005】

たとえば、メモリモジュール用ソケットまたはコネクタに関する技術としては、特開平10-3971号、特開平11-40294号、特開平10-335546号、特開平8-314800号、特開平4-144160号などの各公報に記載される技術などが挙げられる。

【0006】

特開平10-3971号公報の技術は、メモリモジュールのソケット間で冗長であると、隣接信号線からのノイズがのりやすいので、共通信号はショート板を用いてソケット間で直接短絡し、配線長を短くすることで耐ノイズ性を向上させる技術である。

【0007】

特開平11-40294号公報の技術は、メモリモジュールのソケット間の共通信号線として、コモンバーを用いることで配線回路基板へのスルーホールとコンタクトの数を減らすことができ、結果としてコネクタ形状の簡素化と実装コストを下げる技術である。

【 0 0 0 8 】

特開平 1 0 - 3 3 5 5 4 6 号公報の技術は、複数のモジュールを実装できるソケットを小型化するために、複数の接続部を持つソケット部材のみで、モジュールの電氣的接続と機械的保持を行う技術である。また、ソケット部材の機械的保持力と、部材の電氣的接触部の保護膜めっき性を両立するために、外部接続端子の接触部の位置をモジュールの表裏でずらす技術である。

【 0 0 0 9 】

特開平 8 - 3 1 4 8 0 0 号公報の技術は、コンピュータのメモリモジュール用ソケットの数を超えた数の、メモリモジュールを接続するために、複数の接続用ソケットを持つメモリモジュール接続用モジュールを示した技術である。

【 0 0 1 0 】

特開平 4 - 1 4 4 1 6 0 号公報の技術は、ソケットの間隔を変更することなく、ソケットに実装できるように、メモリを搭載した多層相互接続部材の基板を、エッジクリップを介して狭間隔でモジュール基板と対面接続したメモリアレイ装置を示した技術である。

【 0 0 1 1 】

【発明が解決しようとする課題】

ところで、前記のような複数のメモリモジュールを実装したメモリシステムの技術について、本発明者が検討した結果、以下のようなことが明らかとなった。以下において、本発明者が検討した、本発明の前提としてのメモリシステムの構造を示す図 1 2、メモリシステムの信号系統を示す図 1 3、各メモリモジュールが受け取る信号波形特性を示す図 1 4 を用いて説明する。

【 0 0 1 2 】

図 1 2 のように、たとえばメモリコントローラ 1 0 1 と、それぞれメモリ IC を有する 3 枚のメモリモジュール 1 0 2 ~ 1 0 4 とをマザーボード 1 0 8 上に搭載したメモリシステムは、各メモリモジュール 1 0 2 ~ 1 0 4 が複数のソケットピンを有する各ソケット 1 0 5 ~ 1 0 7 を介してマザーボード 1 0 8 上に並列的に実装され、マザーボード 1 0 8 上のバス配線を通じ、各メモリモジュール 1 0 2 ~ 1 0 4 が各ソケット 1 0 5 ~ 1 0 7 のソケットピンを介してメモリコントロ

ーラ 1 0 1 に電氣的に接続されている。

【 0 0 1 3 】

このようなメモリシステムにおいては、高速化する上で、バス配線の配線長による影響は無視できなくなっているが、図 1 2 のようなメモリモジュール 1 0 2 ~ 1 0 4 の並列配置では、メモリモジュール 1 0 2 ~ 1 0 4 またはソケット 1 0 5 ~ 1 0 7 の厚さにより、バス配線の短寸化には限界がある。また、ソケット 1 0 5 ~ 1 0 7 の位置 = バス配線長に依存して異なる反射波の影響が波形の差を生じ、タイミング設計を難しくしていることが考えられる。すなわち、メモリコントローラ 1 0 1 から見た最近メモリモジュール 1 0 2 と最遠メモリモジュール 1 0 4 における、

ソケットの位置の差によるバス配線長の差

$$> \text{メモリモジュールの厚み} \times (\text{ソケット数} - 1)$$

の関係が無視できない要因となってくる。

【 0 0 1 4 】

図 1 3 のように、たとえばシンクロナス DRAM のメモリモジュール (3 枚搭載) 1 0 2 ~ 1 0 4 のメモリシステムでは、各モジュール共通の信号系 (アドレス信号 : A 0 ~ A 1 1 、コントロール信号 : / R A S , / C A S , / W E 、データ信号 : D Q 0 ~ D Q 6 3 、データ管理信号 : D Q S 0 ~ D Q S 1 5 , D M 0 ~ D M 1 5) における 1 つのメモリコントローラ 1 0 1 からの信号は、複数の基板バス接続部と単一のバスで接続しているため、ソケット毎にメモリコントローラ 1 0 1 までのバス配線長が異なっている。

【 0 0 1 5 】

このような各モジュール共通の信号系において、メモリコントローラ 1 0 1 からメモリモジュール 1 0 2 ~ 1 0 4 への一方通行の信号 (アドレス信号、コントロール信号、データ管理信号) とクロック信号は、各スロットへの長さの差を調整することで、クロック信号と各信号の時間差をスロットによらず、同等にして同期をとる必要がある。

【 0 0 1 6 】

しかし、信号が往復するデータ信号は、クロック信号と逆方向 (メモリモジュ

ール102～104からの読み出し)の場合、クロック信号に同期させることができない(スロット毎にデータ信号がメモリコントローラ101に到着するタイミングはクロック信号に対して異なる時間差となる)ため、別の同期信号としてデータストロブ信号が必要となる。データ信号がクロック信号と逆方向のデータを読み出した場合、データストロブ信号もメモリモジュール102～104から逆方向にメモリコントローラ101へ向かい、データ信号の同期タイミングをメモリコントローラ101へ伝える役目をする。

【0017】

また、各モジュール独立の信号系(クロック信号:CK0～CK8、クロック管理信号:CKE0～CKE5、バンク選択信号:CS0～CS5、電源系信号:Vdd, Vss)については、1つの信号ピンと1つの基板バス接続部とが1対1に接続されている。このような各モジュール独立の信号系も、前記した共通の信号系と同様に、各ソケットまでの配線長に差をつけることで共通信号系と同期をとっている。

【0018】

従って、本発明の前提としてのメモリシステムにおいて、たとえば図14(a)のようにメモリコントローラ101から各メモリモジュール102～104へ信号を与え、その反射波を考えた場合に、各メモリモジュール102～104が受け取る信号は、たとえば図14(b)のような波形特性となる。よって、メモリコントローラ101から見た各メモリモジュール102～104の距離差によるバス配線上で、以下のような問題点の発生することが考えられる。

【0019】

(1) 距離差による信号到着時間差(スキュー)が発生し、タイミングのマージンを減らす。

【0020】

(2) 終端のメモリモジュール以外、反射波を待つ時間が波形の段差(ステップ)を形成し、信号のタイミングを振幅の半分の値で規定する信号においては、タイミング誤差が生じ、タイミングマージンを減少させる。なお、この段差解決の方法として、バス信号線終端に終端抵抗を接続し、反射波を逃がす(捨てる)

方法があるが、反射波による電圧上昇がなくなるため、①電圧の振幅が減少する、②消費電流が増える、などのデメリットがあり、好ましい方法とはいえない。

【 0 0 2 1 】

そこで、本発明者は、複数のメモリモジュールを用いたメモリシステムにおいて、各メモリモジュールがメモリコントローラから全て等距離ならば、全てのメモリモジュールは図 1 4 のメモリモジュール (3) に類似した波形を得られるため、前述の (1) , (2) の問題点は解決できることを考えついた。

【 0 0 2 2 】

また、前記のような特開平 1 0 - 3 9 7 1 号、特開平 1 1 - 4 0 2 9 4 号、特開平 1 0 - 3 3 5 5 4 6 号、特開平 8 - 3 1 4 8 0 0 号、特開平 4 - 1 4 4 1 6 0 号の各公報の技術においては、いずれも前述の (1) , (2) の問題点を解決するために、全てのメモリモジュールをメモリコントローラから等距離にすることを意図する技術ではない。

【 0 0 2 3 】

そこで、本発明の目的は、複数のメモリモジュールを実装するモジュール用ソケットの構造を工夫することで、メモリコントローラと複数のメモリモジュールとをマザーボード上の配線から枝分かれしたソケットピンを介して等距離に接続することができるメモリシステムを提供するものである。

【 0 0 2 4 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 2 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 2 6 】

すなわち、本発明によるメモリシステムは、メモリコントローラと複数のメモリモジュールとをマザーボード上の配線を介して等距離に接続するシステムであり、一点から枝分かれした複数のソケットピンを有するソケットを用いて、マザ

ーボード上の配線と複数の各メモリモジュールとを接続することで、メモリコントローラと各メモリモジュールとを等距離に接続することができるようにしたものである。

【 0 0 2 7 】

この構成において、各メモリモジュールは、ソケットのソケットピンを介してマザーボード上に放射状に実装されるようにしたり、またはマザーボードに平行に実装されるようにしたものである。

【 0 0 2 8 】

また、ソケットのソケットピンが枝分かれする一点（基点）は、マザーボード上の配線の一点であり、またはソケット内の配線を介してマザーボード上の配線に接続されるようにしたものである。

【 0 0 2 9 】

特に、ソケットのソケットピンのうち、アドレス信号、コントロール信号、データ信号、データ管理信号のピンは各メモリモジュールに共通で、クロック信号、クロック管理信号、バンク選択信号、電源信号のピンは各メモリモジュールで分離するようにしたものである。

【 0 0 3 0 】

さらに、マザーボード上の配線の片側に終端抵抗が接続され、または両側に終端抵抗が接続されるようにしたものである。

【 0 0 3 1 】

また、本発明による他のメモリシステムは、メモリコントローラと複数のメモリモジュールとをマザーボード上の配線を介して接続するメモリシステムであり、（メモリコントローラから見た最近メモリモジュールと最遠メモリモジュールとの距離差）＜（（メモリモジュール基板＋実装メモリ IC）の厚み）×（メモリモジュール数－1）、の条件を満足することで、距離差による信号到着時間差および反射波によるタイミング誤差を抑制することができるようにしたものである。

【 0 0 3 2 】

さらに、本発明による他のメモリシステムは、基板と、この基板上に配置され

たメモリコントローラと、基板上に配置され、複数のメモリモジュールを装着することが可能なソケットとを含むメモリシステムであって、ソケットに装着可能な複数のメモリモジュールの各々とメモリコントローラとは等距離に配線されるようにしたものである。

【 0 0 3 3 】

また、本発明による他のメモリシステムは、基板と、この基板上に配置されたメモリコントローラと、基板上に配置され、複数の第1端子を有する第1装着口と複数の第2端子を有する第2装着口とを有する接続部材とを有するメモリシステムであって、第1装着口の複数の第1端子と第1メモリモジュールの複数の第3端子とが接続されるように第1装着口に第1メモリモジュールを装着することが可能であり、第2装着口の複数の第2端子と第2メモリモジュールの複数の第4端子とが接続されるように第2装着口に第2メモリモジュールを装着することが可能であり、メモリコントローラと複数の第1端子のうちの1つの端子との間の配線距離と、メモリコントローラと第1端子のうちの1つの端子に対応する複数の第2端子のうちの1つの端子との間の配線距離とは実質的に等しくなるようにしたものである。

【 0 0 3 4 】

さらに、本発明による他のメモリシステムは、基板と、この基板上に配置され、第1端子を含む制御装置と、基板上に配置され、第2端子を有する第1装着部と第2端子に対応する第3端子を有する第2装着部とを有する接続部材とを含むメモリシステムであって、第1装着部には第1メモリモジュールが装着可能とされ、第2装着部には第2メモリモジュールが装着可能とされ、第1メモリモジュールは第4端子を有し、第2メモリモジュールは第5端子を有し、第1メモリモジュールが第1装着部に装着された時第2端子と第4端子とが接続され、第2メモリモジュールが第2装着部に装着された時第3端子と第5端子とが接続され、制御装置の第1端子と第1装着部の第2端子との間の配線の最短距離と、制御装置の第1端子と第2装着部の第3端子との間の配線の最短距離とは実質的に等しくなるようにしたものである。

【 0 0 3 5 】

また、本発明による接続部材は、第 1 端子を有する第 1 装着部と、第 1 端子に対応する第 2 端子を有する第 2 装着部と、第 3 端子とを含む接続部材であって、第 1 装着部には第 1 メモリモジュールが装着可能とされ、第 2 装着部には第 2 メモリモジュールが装着可能とされ、第 1 メモリモジュールは第 4 端子を有し、第 2 メモリモジュールは第 4 端子に対応する第 5 端子を有し、第 1 メモリモジュールが第 1 装着部に装着された時第 1 端子と第 4 端子とが接続され、第 2 メモリモジュールが第 2 装着部に装着された時第 2 端子と第 5 端子とが接続され、第 3 端子と第 1 装着部の第 1 端子とは第 1 配線部材により接続され、第 3 端子と第 2 装着部の第 2 端子とは第 2 配線部材により接続され、第 1 配線部材の長さと第 2 配線部材の長さとは等しくなるようにしたものである。

【 0 0 3 6 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 3 7 】

(実施の形態 1)

図 1 は本発明の実施の形態 1 のメモリシステムの構造を示す概略断面図（断面表記省略）、図 2 は本実施の形態のメモリシステムにおいて、マザーボード上にソケットを介してメモリモジュールを実装した状態を示す概略斜視図、図 3 はソケットにメモリモジュールを実装した状態を示す外観図、図 4 はソケットのピン構造を示す概略断面図（断面表記省略）、図 5 はピン形状を示す外観図、図 6 はソケットの他のピン構造を示す概略断面図（断面表記省略）、図 7 は他のピン形状を示す外観図、図 8 はメモリシステムの信号系統を示す説明図、図 9 はメモリモジュールの内部構成と信号系統を示す説明図、図 1 5 はメモリ IC への書き込みデータを示す波形図である。

【 0 0 3 8 】

まず、図 1 ～図 3 により、本実施の形態のメモリシステムの構成の一例を説明する。本実施の形態のメモリシステムは、たとえば複数（ここでは 3 枚の例）の

メモリモジュールを実装したメモリシステムとされ、メモリコントローラ 1 と、3 枚のメモリモジュール 2 ～ 4 と、この 3 枚のメモリモジュール 2 ～ 4 が挿抜可能な 1 つのソケット 5 と、これらのメモリコントローラ 1 およびソケット 5 が実装されるマザーボード 6 などから構成され、メモリコントローラ 1 とメモリモジュール 2 ～ 4 とがマザーボード 6 上のバス配線から枝分かれしたソケット 5 のソケットピンを介して等距離に接続されている。なお、マザーボード 6 上には、他にメモリコントローラ 1 とホストバス配線を介して接続される CPU など実装されている。

【 0 0 3 9 】

メモリコントローラ 1 は、たとえばメモリモジュール 2 ～ 4 の読み書きを管理する機能を持ち、マザーボード 6 へのピン挿入型のチップセット L S I である。このメモリコントローラ 1 によって、各メモリモジュール 2 ～ 4 の各メモリ I C に対するデータの読み出し／書き込み動作が制御される。

【 0 0 4 0 】

メモリモジュール 2 ～ 4 は、それぞれ、たとえばシンクロナス D R A M のメモリ I C 7 をモジュール基板 8 の表面および裏面に 8 個ずつ面実装し、一端部の表面および裏面にソケットピンとの接栓部 9 を持つモジュールである。各メモリモジュール 2 ～ 4 の各メモリ I C 7 の I C ピンはモジュール基板 8 上の配線を通じて接栓部 9 に接続され、各メモリ I C 7 に対してデータの読み出し／書き込みが行われる。

【 0 0 4 1 】

ソケット 5 は、たとえば各メモリモジュール 2 ～ 4 に対応して 3 組の複数のソケットピンが放射状に設けられ、マザーボード 6 へのピン挿入型のマルチソケットである。このソケットピンの構造には 2 種類あり、図 4 (a) および図 6 (a) のように 1 つの基板バス接続部 1 0 と 1 つのモジュール接栓接触部 1 1 とを持つピンの集合体で構成し、図 4 (b) および図 5 のようにメモリモジュール 2 ～ 4 で基板バス接続部 1 0 を共通にし、1 つの基板バス接続部 1 0 に対して 3 つのモジュール接栓接触部 1 1 を持つ構造のソケットピン 1 2 と、図 6 (b) および図 7 のようにメモリモジュール 2 ～ 4 毎に基板バス接続部 1 0 を分離し、1 つの

基板バス接続部 1 0 に対して 1 つのモジュール接栓接触部 1 1 を持つ構造のソケットピン 1 3 とがある。

【 0 0 4 2 】

マザーボード 6 は、たとえば表面にメモリコントローラ 1 およびソケット 5 などが実装され、裏面にバス配線 1 4 が形成されたプリント配線基板である。このマザーボード 6 は表面から裏面にバイアホール 1 5 を通じて貫通可能であり、メモリコントローラ 1 およびソケット 5 のピンが表面から裏面に挿入されてバス配線 1 4 に電氣的に接続される。

【 0 0 4 3 】

以上のように構成されるメモリシステムは、マザーボード 6 のバイアホール 1 5 にメモリコントローラ 1 とソケット 5 のピンを挿入してメモリコントローラ 1 とソケット 5 をマザーボード 6 上に実装し、さらにソケット 5 に 3 枚のメモリモジュール 2 ～ 4 を挿入することで、3 枚のメモリモジュール 2 ～ 4 をマザーボード 6 に対して放射状に、かつマザーボード 6 上のバス配線 1 4 から等距離に接続することができる。

【 0 0 4 4 】

特に、このメモリシステムでは、

(メモリコントローラから見た最近メモリモジュールと
最遠メモリモジュールとの距離差)

$< ((\text{メモリモジュール基板} + \text{実装メモリ IC}) \text{の厚み})$

$\times (\text{メモリモジュール数} - 1)$

の条件を満足するシステム構造となっている。

【 0 0 4 5 】

また、このメモリシステムにおいては、終端のメモリモジュール以外、反射波を待つ時間が波形の段差を形成するので、この反射波を逃がすためにバス配線 1 4 の片側または両側に終端抵抗 1 6 を接続している。

【 0 0 4 6 】

次に、図 8 により、メモリシステムの各メモリモジュール 2 ～ 4 に対する信号系統の一例を説明する。ここでは、各メモリモジュール 2 ～ 4 が $\times 64$ ビットの

入出力端子構成で、2バンク形式のシンクロナスDRAM搭載モジュールの例を示す。

【0047】

(1) 各モジュール共通の信号系

各メモリモジュール2～4で共通の信号系には、アドレス信号：A0～A11、コントロール信号：／RAS、／CAS、／WE、データ信号：DQ0～DQ63、データ管理信号：DQS0～DQS15、DM0～DM15などがある。

【0048】

この各メモリモジュール2～4で共通の信号系では、前述した図4および図5のような1つの基板バス接続部10に対して3つのモジュール接栓接触部11を持つ構造のソケットピン12を使い、メモリコントローラ1からの1つの信号は1つの基板バス接続部10とのみ接続し、ソケット5の内部で3つのモジュール接栓接触部11に分岐して接続するため、メモリモジュール2～4毎にメモリコントローラ1からの距離が異なることはない。これにより、メモリコントローラ1から各メモリモジュール2～4までの配線長を同一にでき、同一タイミングで各メモリモジュール2～4に信号を伝えることができる。

【0049】

(2) 各モジュール独立の信号系

各メモリモジュール2～4で独立の信号系には、クロック信号：CK0～CK8、クロック管理信号：CKE0～CKE5、バンク選択信号：CS0～CS5、電源系信号：Vdd、Vssなどがある。

【0050】

この各メモリモジュール2～4で独立の信号系では、前述した図6および図7のような1つの基板バス接続部10に対して1つのモジュール接栓接触部11を持つ構造のソケットピン13を使い、1対1に接続する。バス配線14またはソケット5の内部の配線長を調整することで、メモリコントローラ1から各メモリモジュール2～4までの配線長を同一にできる。これにより、同一タイミングで各メモリモジュール2～4へ信号を伝えられる。なお、電源系信号は、電源強化のために分離することが多いが、各ソケット5で共通化することも可能である。

【0051】

以上により、本実施の形態のようなソケット5の活用により、各メモリモジュール2～4で共通の信号系は、メモリコントローラ1から各メモリモジュール2～4までの距離を等距離にできる。また、各メモリモジュール2～4で独立の信号系も、メモリコントローラ1のピンの位置、またはマザーボード6上のバス配線14のレイアウトで配線長を等長にできるので、各メモリモジュール2～4の全信号を同一信号遅延のタイミングでコントロールできる。これにより、従来、ソケット毎に異なる信号遅延時間の補正のために必要であったデータストロブ信号も省略することもでき、この場合、回路の簡素化と必要信号線数の低減によるシステムの簡素化、小型化、低コスト化ができる。なお、データストロブ信号を使えば、タイミング精度を上げることができる。

【0052】

次に、図9により、各メモリモジュール2～4の内部構成と信号系統の一例を説明する。ここでは、8入出力端子を持つシンクロナスDRAMのメモリIC7を表側／裏側で8個ずつ、合計16個搭載し、2バンク形式を持つ、ダブルデータモード・シンクロナスDRAM搭載モジュールを例に示す。

【0053】

(1) アドレス信号

アドレス信号：A0～A11は、シンクロナスDRAMの内部において、格子状に配置された複数のメモリセルからなるメモリマトリックスの行(Raw)、列(Column)のアドレスを指定するためのアドレス指定用信号である。このアドレス信号は、#0～#15のシンクロナスDRAMに共通に設けられている。

【0054】

(2) コントロール信号

コントロール信号には、ロウアドレスストロブ(Raw Address Strobe)信号：/RAS、カラムアドレスストロブ(Column Address Strobe)信号：/CAS、ライトイネーブル(Write Enable)信号：/WEなどがある。ロウアドレスストロブ信号：/R

A S は、行アドレス信号の取り込みタイミングを決定するためのストローク信号である。カラムアドレスストローク信号：/C A S は、列アドレス信号の取り込みタイミングを決定するためのストローク信号である。ライトイネーブル信号：/W E は、書き込み可能モードと読み出し可能モードとを切り替えるための切り替え信号である。これらのコントロール信号も、アドレス信号と同様に # 0 ~ # 1 5 のシンクロナス D R A M に共通に設けられている。

【 0 0 5 5 】

(3) データ信号

データ信号：D Q 0 ~ D Q 6 3 は、読み出し可能モードにおける出力データである。このコントロール信号は、D Q 0 ~ D Q 7 がシンクロナス D R A M の # 0 、 D Q 8 ~ D Q 1 5 が # 1 、 . . . 、 D Q 5 6 ~ D Q 6 3 が # 1 5 にそれぞれ割り当てられ、別々に設けられている。

【 0 0 5 6 】

(4) データ管理信号

データ管理信号（データストローク信号）：D Q S 0 ~ D Q S 1 5 は、データの読み込みタイミングを決定するためのストローク信号である。データ管理信号（データマスク信号）：D M 0 ~ D M 1 5 は、データの読み込み可否を決定するためのマスク信号である。これらのデータ管理信号は、D Q S 0 、 D M 0 が表側のシンクロナス D R A M の # 0 、 D Q S 1 、 D M 1 が # 1 、 . . . 、 D Q S 7 、 D M 7 が # 7 、 D Q S 8 、 D M 8 が裏側のシンクロナス D R A M の # 8 、 D Q S 9 、 D M 9 が # 9 、 . . . 、 D Q S 1 5 、 D M 1 5 が # 1 5 にそれぞれ割り当てられ、別々に設けられている。

【 0 0 5 7 】

(5) バンク選択信号

バンク選択信号（チップセレクト信号）：C S 0 、 C S 1 は、メモリモジュールのバンクを選択するための信号である。このバンク選択信号は、C S 0 が表側の # 0 ~ # 7 のシンクロナス D R A M 、 C S 1 が裏側の # 8 ~ # 1 5 のシンクロナス D R A M にそれぞれ割り当てられ、表側と裏側では共通に、表側と裏側で別々に設けられている。

【0058】

以上のように構成される各メモリモジュール2～4は、メモリコントローラ1によって、シンクロナスDRAMの各メモリIC7に対するデータの読み出し／書き込み動作が制御される。まず、アドレス信号A0～A11によって、#0～#15のメモリIC7のメモリマトリックスの任意のメモリセルを選択する。この際に、ロウアドレスストロブ信号／RAS、カラムアドレスストロブ信号／CAS、ライトイネーブル信号／WEにより各種タイミングが制御され、またバンク選択信号CS0、CS1によって各メモリモジュール2～4のバンクが選択される。

【0059】

そして、選択されたメモリセルに対して書き込み動作を行う場合には、データ信号DQ0～DQ63を書き込みデータとしてメモリセルに書き込む。また、選択されたメモリセルから読み出し動作を行う場合には、メモリセルから読み出されたデータ信号DQ0～DQ63を読み出しデータとして出力する。この際に、データストロブ信号DQS0～DQS15、データマスク信号DM0～DM15により、データの読み込みタイミングが決定される。

【0060】

次に、本実施の形態のメモリシステムにおいて、メモリコントローラ1から各メモリモジュール2～4へ信号を与え、その反射波を考えた場合に、各メモリモジュール2～4がメモリコントローラ1から全て等距離ならば、全てのメモリモジュール2～4は前述した図14のメモリモジュール(3)に類似した波形を得られるため、

(1) 距離差による信号到着時間差(スキュー)を抑え、タイミングのマージンを確保でき、

(2) 波形の段差(ステップ)を形成する反射波を逃がし、信号のタイミングを振幅の半分の値で規定する信号においては、タイミング誤差を抑え、タイミングマージンを確保することができる。また、他のメモリモジュールからの反射波も受けることが考えられるが、既に反射波で電圧が立ち上がった後のため、タイミングへの影響は少ない。

【 0 0 6 1 】

従って、本実施の形態のメモリシステムによれば、ソケット 5 の構造を工夫し、放射状にソケットピン 1 2, 1 3 をソケット中心に集めることで、ソケット 5 内の配線を短くかつ等長にでき、またソケット 5 のバス方向の幅を低減できるので、以下のような効果を得ることができる。

【 0 0 6 2 】

(1) マザーボード 6 上のバス配線 1 4 上にはメモリコントローラ 1 から単一距離に 3 枚のメモリモジュール 2 ~ 4 を配置できるため、メモリコントローラ 1 から各メモリモジュール 2 ~ 4 までの信号線長が等しくなり、各メモリモジュール 2 ~ 4 に同一タイミングで同一波形の信号を入力できる。

【 0 0 6 3 】

(2) 各メモリモジュール 2 ~ 4 をメモリコントローラ 1 から単一距離に配置することで波形の段差が減るため、波形の段差を形成する要因となる反射波を逃がすための終端抵抗をなくすことができる。よって、たとえば図 1 5 ((a) : 終端抵抗あり、(b) : 終端抵抗なし) に示すシミュレーション結果のように、終端抵抗がなくても、スロットの位置 (遠近) による相互の影響がないため、メモリ IC への書き込みデータの波形は一気に立ち上がり / 立ち下がりでき、十分な振幅と valid タイムを確保することができる。その結果、終端抵抗で消費する電流を低減し、また信号波形の立ち上がり / 立ち下がりの遷移時間短縮によるタイミングマージンを拡大し、さらに信号振幅の増大による信号電圧マージンを拡大することができる。なお、終端抵抗をなくす代わりに、終端抵抗の数を減らしたり、終端抵抗の抵抗値を上げることも可能である。

【 0 0 6 4 】

(3) マザーボード 6 上に実装するソケット 5 の数を減らせるので、メモリコントローラ 1 から各メモリモジュール 2 ~ 4 までの配線長を短くできるため、高速信号に適する。

【 0 0 6 5 】

(4) メモリコントローラ 1 などの面実装部品の上部もメモリモジュール 2 ~ 4 の搭載空間に利用でき、高密度実装が可能となる。特に、各メモリモジュール

2～4 がマザーボード 6 に対して傾斜しているので、傾斜部分の空間を他部品実装上の空間に利用して実装密度を上げることができる。

【 0 0 6 6 】

たとえば、従来、高速化のために配線長を短くする場合、通常、小型パッケージに切り替えてきたが、本実施の形態のようなソケット 5 を使うことにより、従来パッケージでも同等以上の効果が期待できる。一例として、DDR・TSOP ベースのメモリモジュール内での出力配線長は 45 mm 程度である。一方、CSP を採用すると 22 mm 程度と半減する。しかし、ソケットの間隔は 2 連タイプでも 7.6 mm 程度あり、4 つのソケットを最密度実装しても、ソケット別のバス配線長差は $7.6 \times (4 - 1) = 22.8$ mm となり、パッケージ種起因でのメモリモジュール内配線長差と同程度となる。つまり、高速化のために、新規パッケージ開発が不要となる。さらに、サーバなどの 8 ソケット品では、本ソケット 5 を使う方がパッケージを開発するよりもバス配線長の短縮ができる。

【 0 0 6 7 】

(実施の形態 2)

図 10 は本発明の実施の形態 2 のメモリシステムの構造を示す概略断面図（断面表記省略）である。本実施の形態のメモリシステムは、前記実施の形態 1 と同様に複数のメモリモジュールを実装したメモリシステムとされ、前記実施の形態 1 との相違点はソケットの構造を代え、マザーボードに対してメモリモジュールを放射状に実装するソケットの代わりに、メモリモジュールを平行に実装するソケットを用いるようにした点である。

【 0 0 6 8 】

すなわち、本実施の形態のメモリシステムは、図 10 に一例を示すように、メモリコントローラ 21 と、4 枚のメモリモジュール 22～25 と、この 4 枚のメモリモジュール 22～25 が挿抜可能な 1 つのソケット 26 と、これらのメモリコントローラ 21 およびソケット 26 が実装されるマザーボード 27 などから構成され、マザーボード 27 上のソケット 26 に、4 枚のメモリモジュール 22～25 がそれぞれ 2 枚ずつ上下にマザーボード 27 に対して平行になるように実装されている。

【 0 0 6 9 】

従って、本実施の形態のメモリシステムにおいても、各メモリモジュール 2 2 ～ 2 5 がマザーボード 2 7 に対して平行に実装されるものの、メモリコントローラ 2 1 と各メモリモジュール 2 2 ～ 2 5 とがマザーボード 2 7 上のバス配線から枝分かれしたソケット 2 6 のソケットピンを介して等距離に接続されているので、前記実施の形態 1 と同様の効果を得ることができる。特に、本実施の形態においては、マザーボード 2 7 上の高さ方向が制限されるような空間に対し、この実装空間に合わせて対応できる。

【 0 0 7 0 】

(実施の形態 3)

図 1 1 は本発明の実施の形態 3 のメモリシステムの構造を示す概略図である。本実施の形態のメモリシステムは、前記実施の形態 1 および 2 と同様に複数のメモリモジュールを実装したメモリシステムとされ、前記実施の形態 1 および 2 との相違点はマザーボードおよびソケットの構造を代え、マザーボードに対してメモリモジュールを 3 6 0 度の角度内で多分岐するように実装するソケットを用いるようにした点である。

【 0 0 7 1 】

すなわち、本実施の形態のメモリシステムは、図 1 1 に一例を示すように、メモリコントローラ 3 1 と CPU 3 2 が実装されるマザーボード 3 3 と、8 枚のメモリモジュール 3 4 ～ 4 1 と、これらのマザーボード 3 3 とメモリモジュール 3 4 ～ 4 1 が挿抜可能な 1 つのソケット 4 2 などから構成され、ソケット 4 2 の 1 スロットにマザーボード 3 3 が実装され、他の各スロットに各メモリモジュール 3 4 ～ 4 1 がそれぞれ 3 6 0 度の角度内で等角度に多分岐するように実装されている。

【 0 0 7 2 】

従って、本実施の形態のメモリシステムにおいても、ソケット 4 2 を介したマザーボード 3 3 と各メモリモジュール 3 4 ～ 4 1 との接続形態は異なるものの、メモリコントローラ 3 1 と各メモリモジュール 3 4 ～ 4 1 とがマザーボード 3 3 の端部に配置されたソケット 4 2 のソケットピンを介して等距離に接続されている

ので、前記実施の形態 1 および 2 と同様の効果を得ることができる。特に、本実施の形態においては、マザーボード 3 3 に対して 3 6 0 度の角度内で多分岐することにより、多数のメモリモジュール 3 4 ~ 4 1 を等長かつ最短の距離でメモリコントローラ 3 1 と接続することができる。さらに、マザーボード 3 3 の端部にソケット 4 2 を配置するので、同一バス配線長でより実装数を増やすことができる。

【 0 0 7 3 】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 0 7 4 】

たとえば、前記実施の形態 1 では 3 枚のメモリモジュールを実装する例、前記実施の形態 2 では 4 枚のメモリモジュールを実装する例、前記実施の形態 3 では 8 枚のメモリモジュールを実装する例をそれぞれ説明したが、ソケットのソケットピンの分離数を変えることで、前記実施の形態 1 においては 2 枚や 4 枚以上、前記実施の形態 2 においては 2 枚、3 枚や 5 枚以上、前記実施の形態 2 においては 2 枚から 7 枚や 9 枚以上のメモリモジュールを実装することも可能である。

【 0 0 7 5 】

また、前記実施の形態においては、× 6 4 ビットの入出力端子構成で、2 バンク形式のシンクロナス D R A M 搭載モジュールを例に説明したが、他の入出力端子構成、他のバンク形式などにも適用可能であり、さらに汎用 D R A M や他のメモリなどにも広く適用することができる。

【 0 0 7 6 】

さらに、本発明のメモリシステムは、メモリ的高速化が要求されるシステム全般に用いることができ、高速デスクトップ型 P C、高速ハイエンドサーバのメモリボードなどに適用して効果的である。

【 0 0 7 7 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡

単に説明すれば、以下のとおりである。

【 0 0 7 8 】

(1) 一点から枝分かれした複数のソケットピンを有するソケットを用いて、マザーボード上の配線と複数の各メモリモジュールとを接続することで、ソケット内の配線を短くかつ等長にすることができ、またソケットのバス方向の幅を低減することができるので、メモリコントローラと各メモリモジュールとを等距離に接続することが可能となる。

【 0 0 7 9 】

(2) マザーボード上の配線にはメモリコントローラから単一距離に複数のメモリモジュールを配置することができるので、複数のメモリモジュールに同一タイミングで同一波形の信号を入力することが可能となる。

【 0 0 8 0 】

(3) マザーボード上に実装するソケット数を減らせるので、メモリコントローラから各メモリモジュールまでの配線長を短くすることができるので、高速信号に良好に適用することが可能となる。

【 0 0 8 1 】

(4) 各メモリモジュールをマザーボード上に放射状に実装することで、マザーボード上の面実装部品の上部もメモリモジュールの搭載空間に利用することができるので、マザーボードへの高密度実装が可能となる。

【 0 0 8 2 】

(5) 各メモリモジュールをメモリコントローラから単一距離に配置することで波形の段差が減るため、波形の段差を形成する要因となる反射波を逃がすための終端抵抗をなくす、もしくは終端抵抗の数を減らす、または終端抵抗の抵抗値を上げることができ、その結果として、終端抵抗で消費する電流の低減と、信号波形の立ち上がり／立ち下がりの遷移時間短縮によるタイミングマージンの拡大と、信号振幅の増大による信号電圧マージンの拡大が可能となる。

【 0 0 8 3 】

(6) (メモリコントローラから見た最近メモリモジュールと最遠メモリモジュールとの距離差) < ((メモリモジュール基板+実装メモリ IC) の厚み) ×

(メモリモジュール数-1)、の条件を満足することで、距離差による信号到着時間差および反射波によるタイミング誤差を抑制することができるので、タイミングマージンを確保することが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 のメモリシステムの構造を示す概略断面図である。

【図 2】

本発明の実施の形態 1 のメモリシステムにおいて、マザーボード上にソケットを介してメモリモジュールを実装した状態を示す概略斜視図である。

【図 3】

本発明の実施の形態 1 のメモリシステムにおいて、ソケットにメモリモジュールを実装した状態を示す外観図である。

【図 4】

(a), (b) は本発明の実施の形態 1 のメモリシステムにおいて、ソケットのピン構造を示す概略断面図である。

【図 5】

本発明の実施の形態 1 のメモリシステムにおいて、ピン形状を示す外観図である。

【図 6】

(a), (b) は本発明の実施の形態 1 のメモリシステムにおいて、ソケットの他のピン構造を示す概略断面図である。

【図 7】

本発明の実施の形態 1 のメモリシステムにおいて、他のピン形状を示す外観図である。

【図 8】

本発明の実施の形態 1 のメモリシステムの信号系統を示す説明図である。

【図 9】

本発明の実施の形態 1 のメモリシステムにおいて、メモリモジュールの内部構成と信号系統を示す説明図である。

【図 1 0】

本発明の実施の形態 2 のメモリシステムの構造を示す概略断面図である。

【図 1 1】

本発明の実施の形態 3 のメモリシステムの構造を示す概略図である。

【図 1 2】

本発明の前提のメモリシステムの構造を示す概略断面図である。

【図 1 3】

本発明の前提のメモリシステムの信号系統を示す説明図である。

【図 1 4】

(a), (b) は本発明の前提のメモリシステムにおいて、各メモリモジュールが受け取る信号波形特性を示す説明図である。

【図 1 5】

(a), (b) は本発明の実施の形態 1 のメモリシステムにおいて、メモリ IC への書き込みデータを示す波形図である。

【符号の説明】

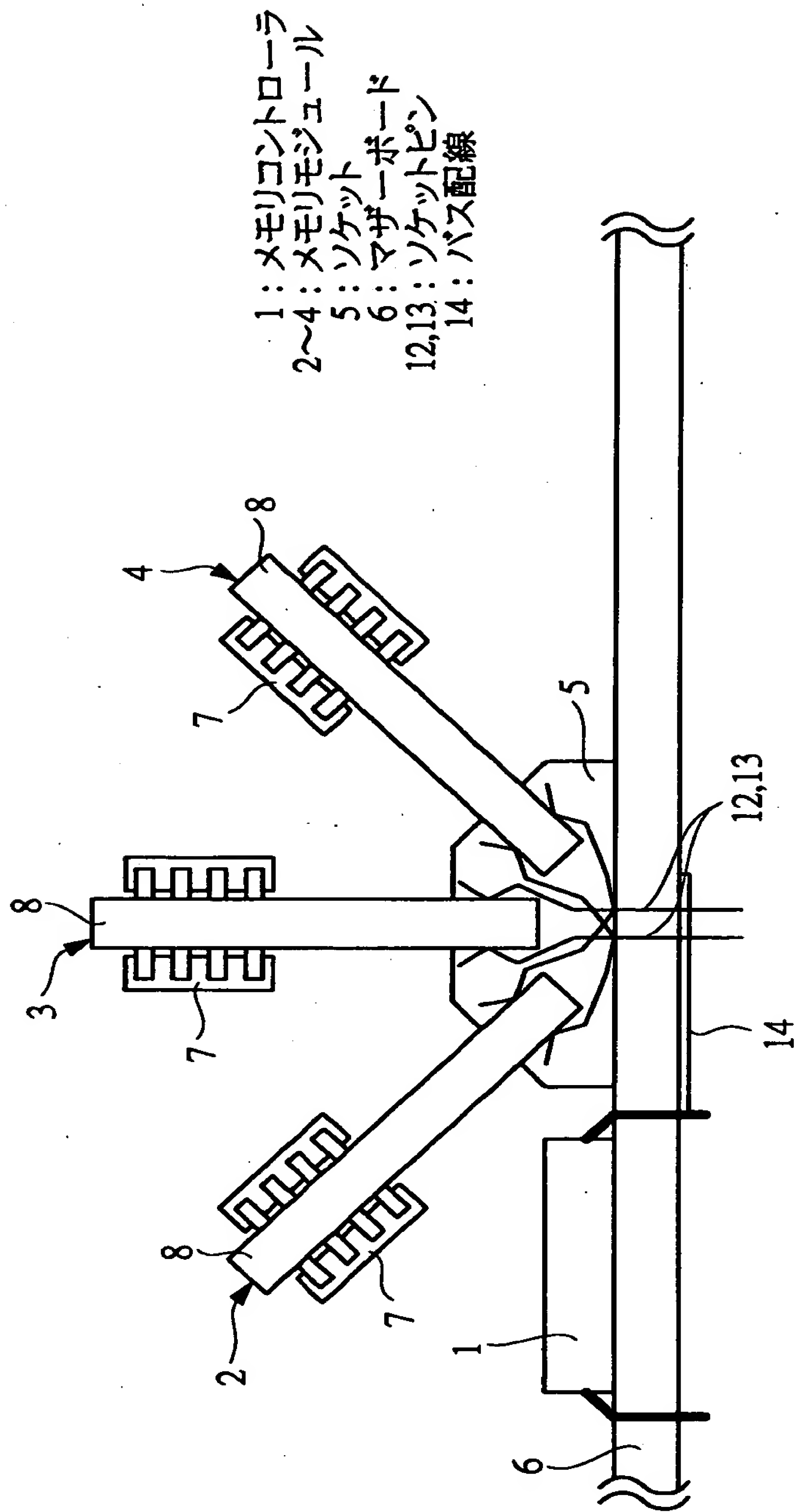
- 1 メモリコントローラ
- 2～4 メモリモジュール
- 5 ソケット
- 6 マザーボード
- 7 メモリ IC
- 8 モジュール基板
- 9 接栓部
- 10 基板バス接続部
- 11 モジュール接栓接触部
- 12, 13 ソケットピン
- 14 バス配線
- 15 バイアホール
- 16 終端抵抗
- 21 メモリコントローラ

22~25 メモリモジュール
26 ソケット
27 マザーボード
31 メモリコントローラ
32 CPU
33 マザーボード
34~41 メモリモジュール
42 ソケット
101 メモリコントローラ
102~104 メモリモジュール
105~107 ソケット
108 マザーボード

【書類名】 図面

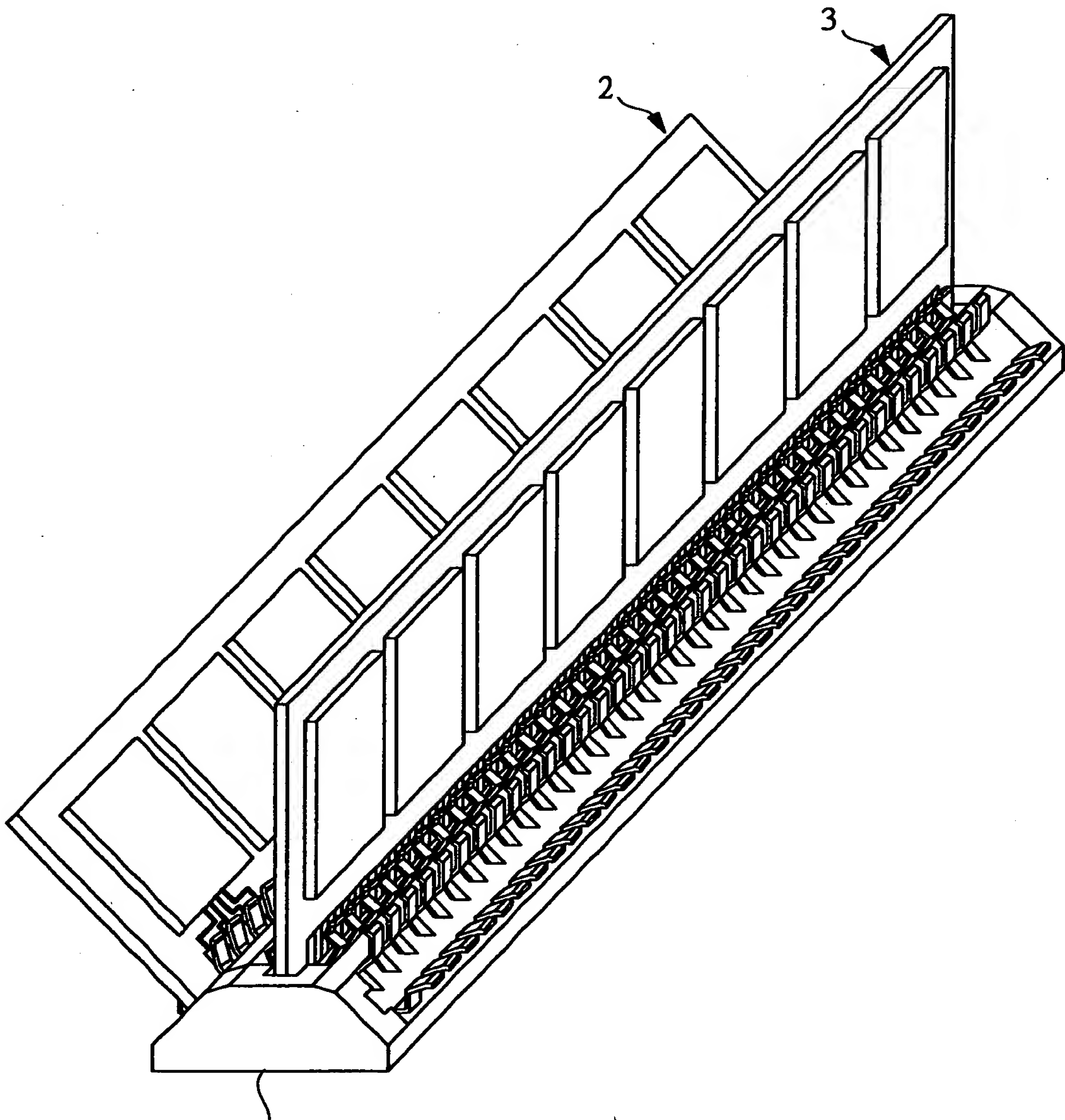
【図 1】

図 1

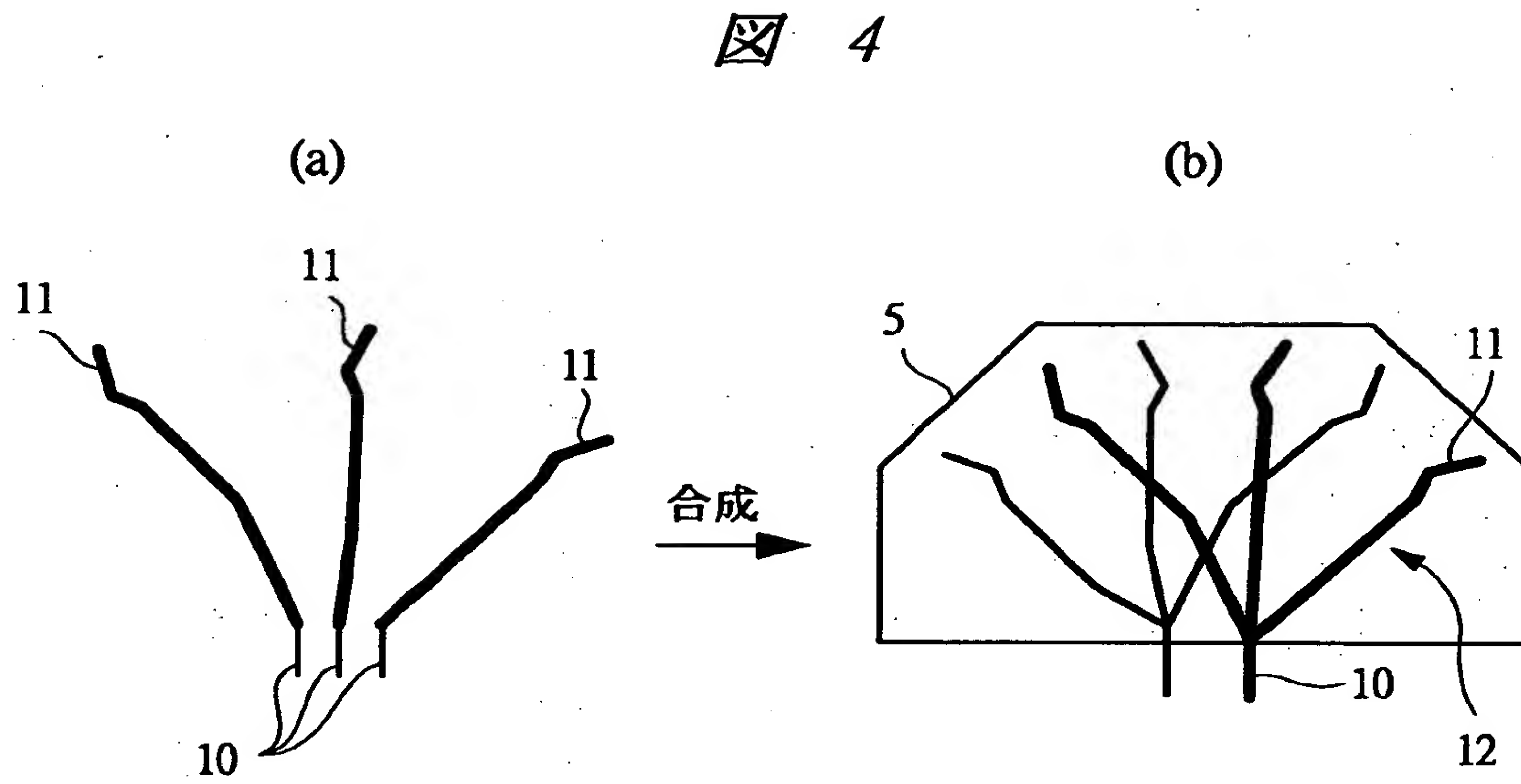


【図3】

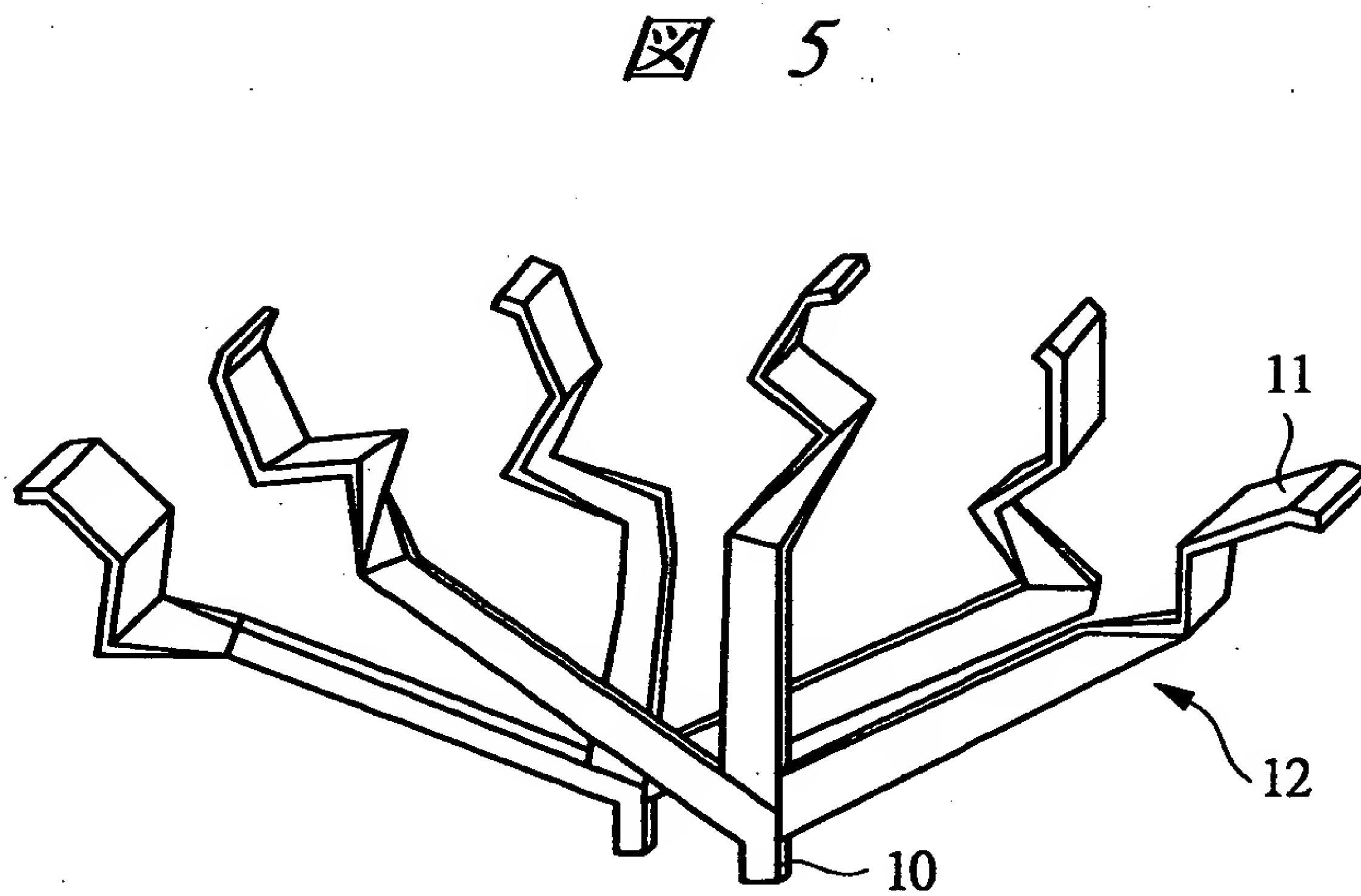
図 3



【図4】

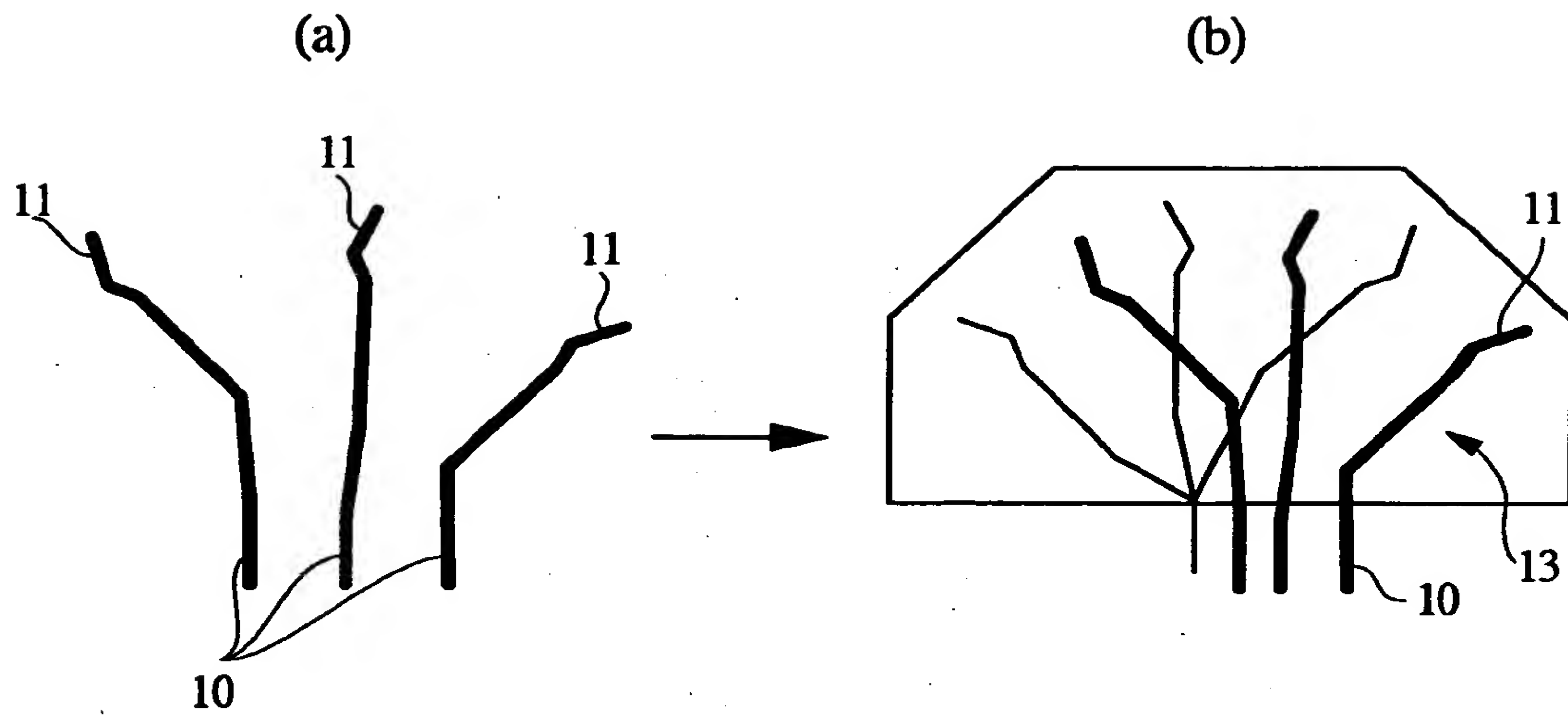


【図5】



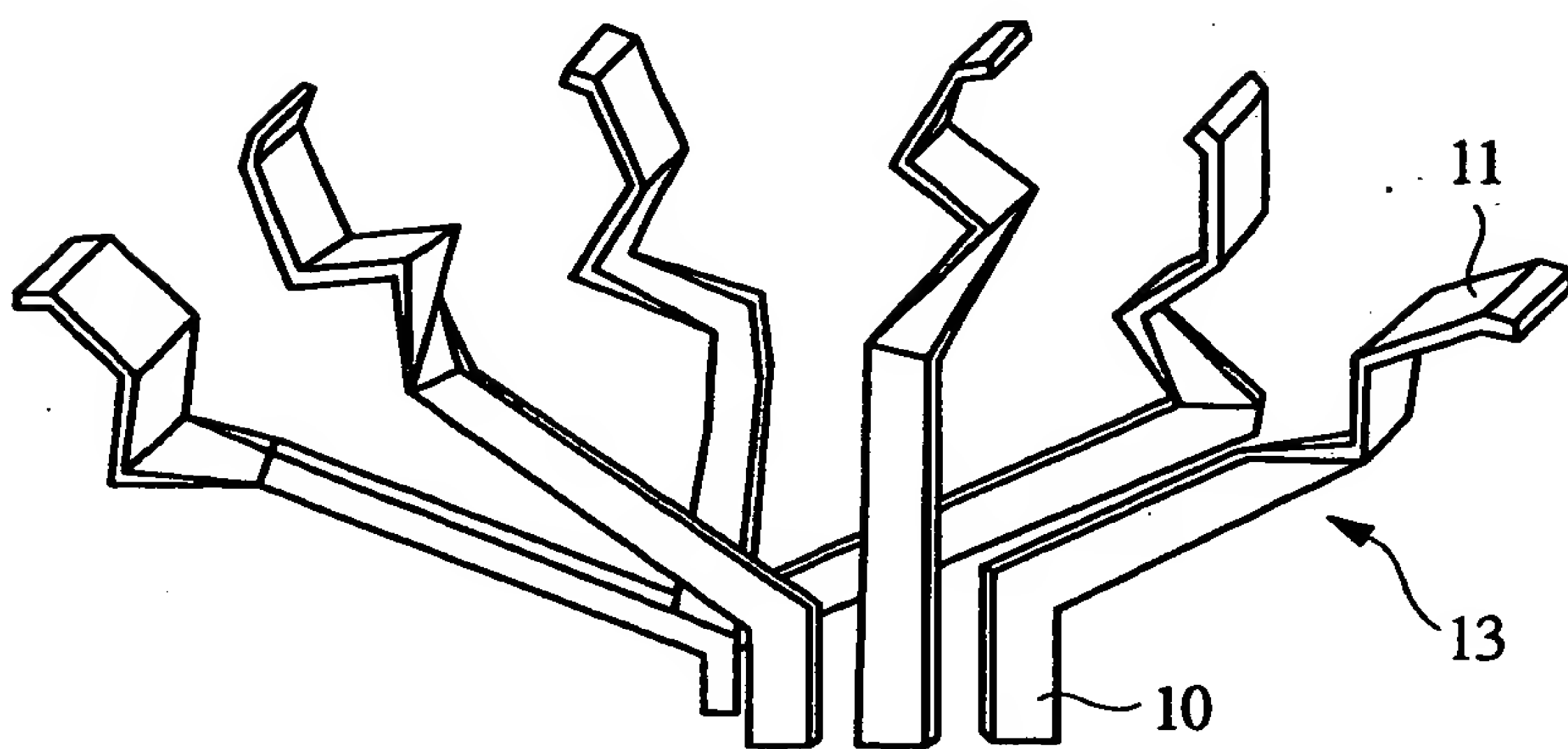
【図6】

図 6

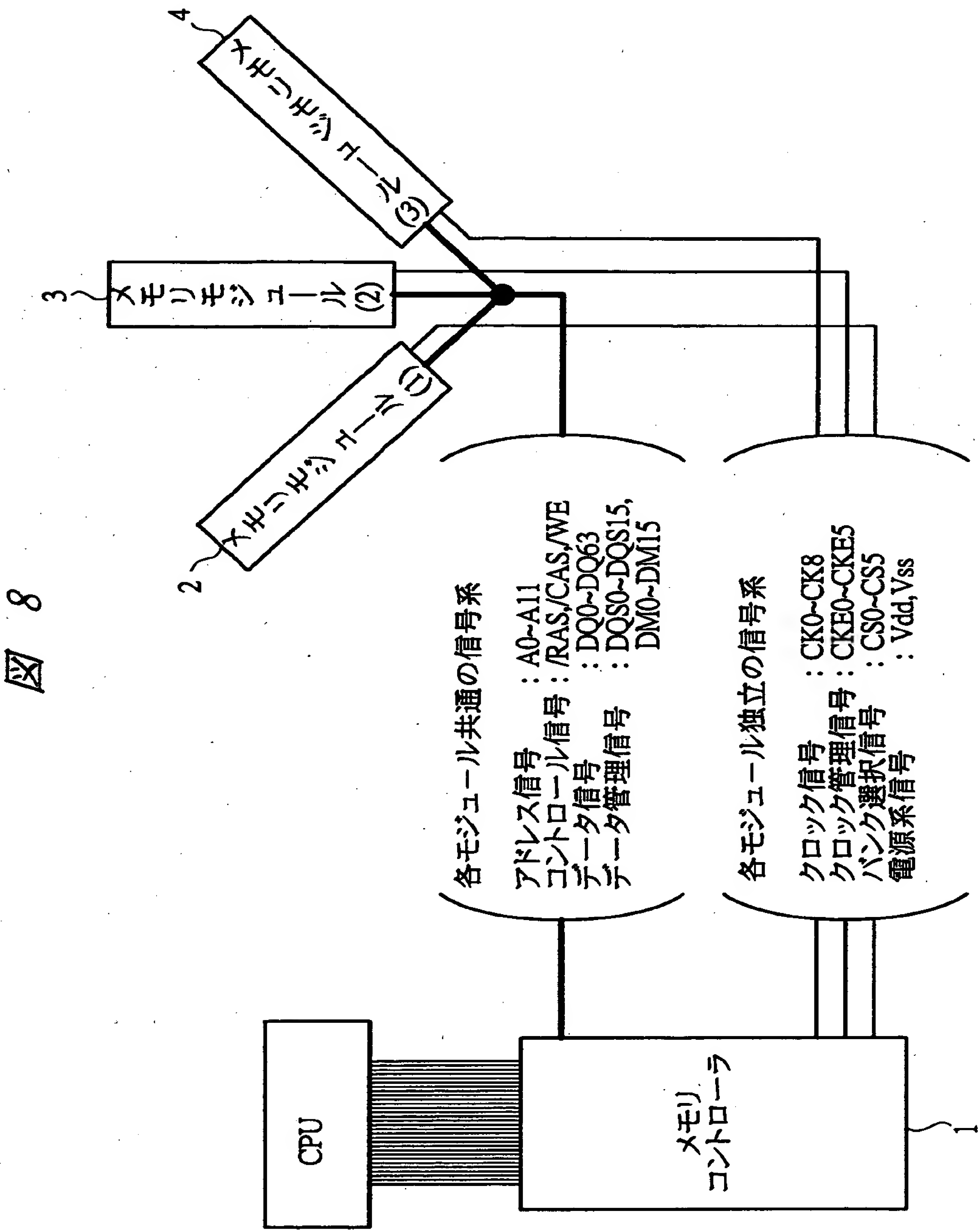


【図7】

図 7

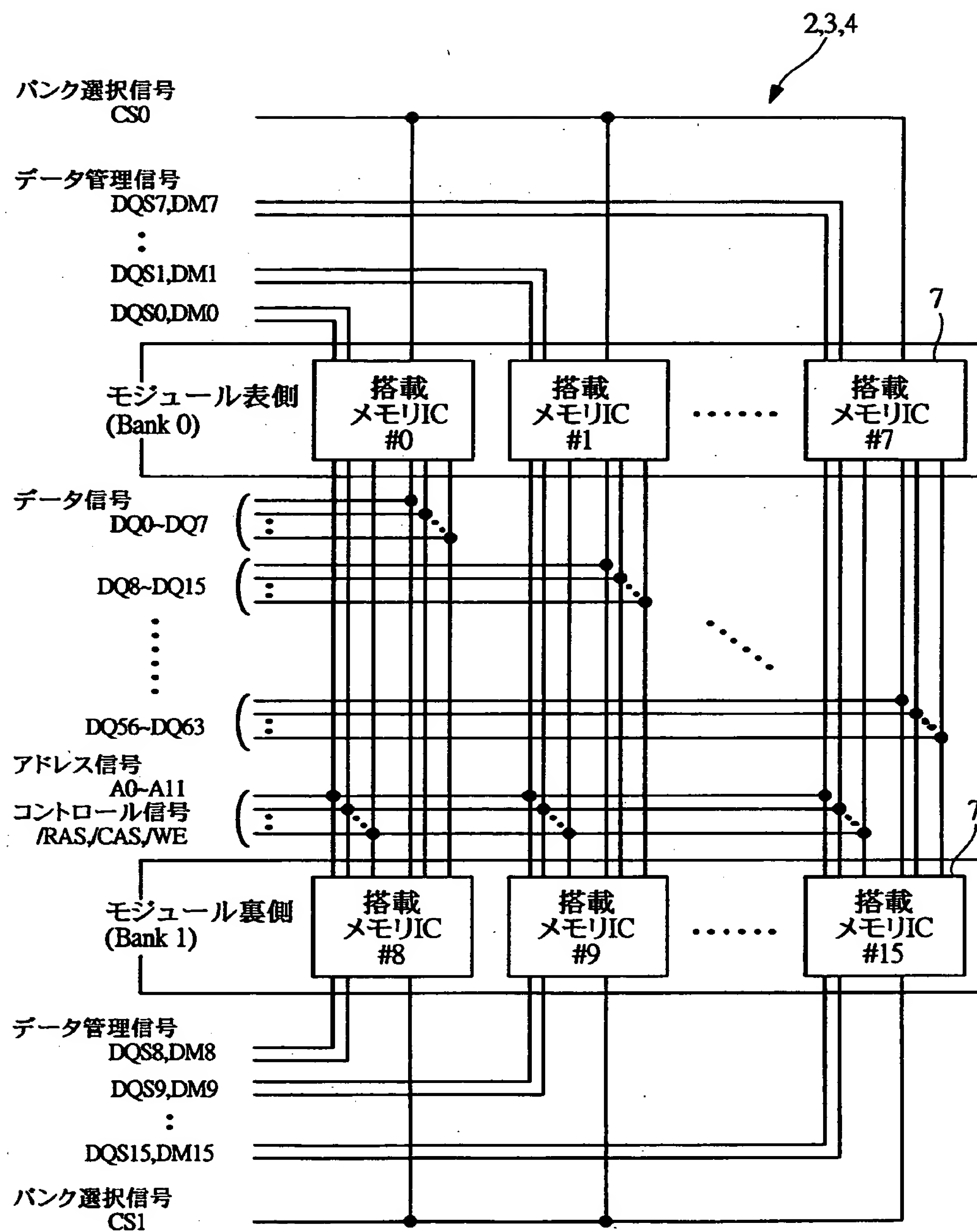


【図 8】



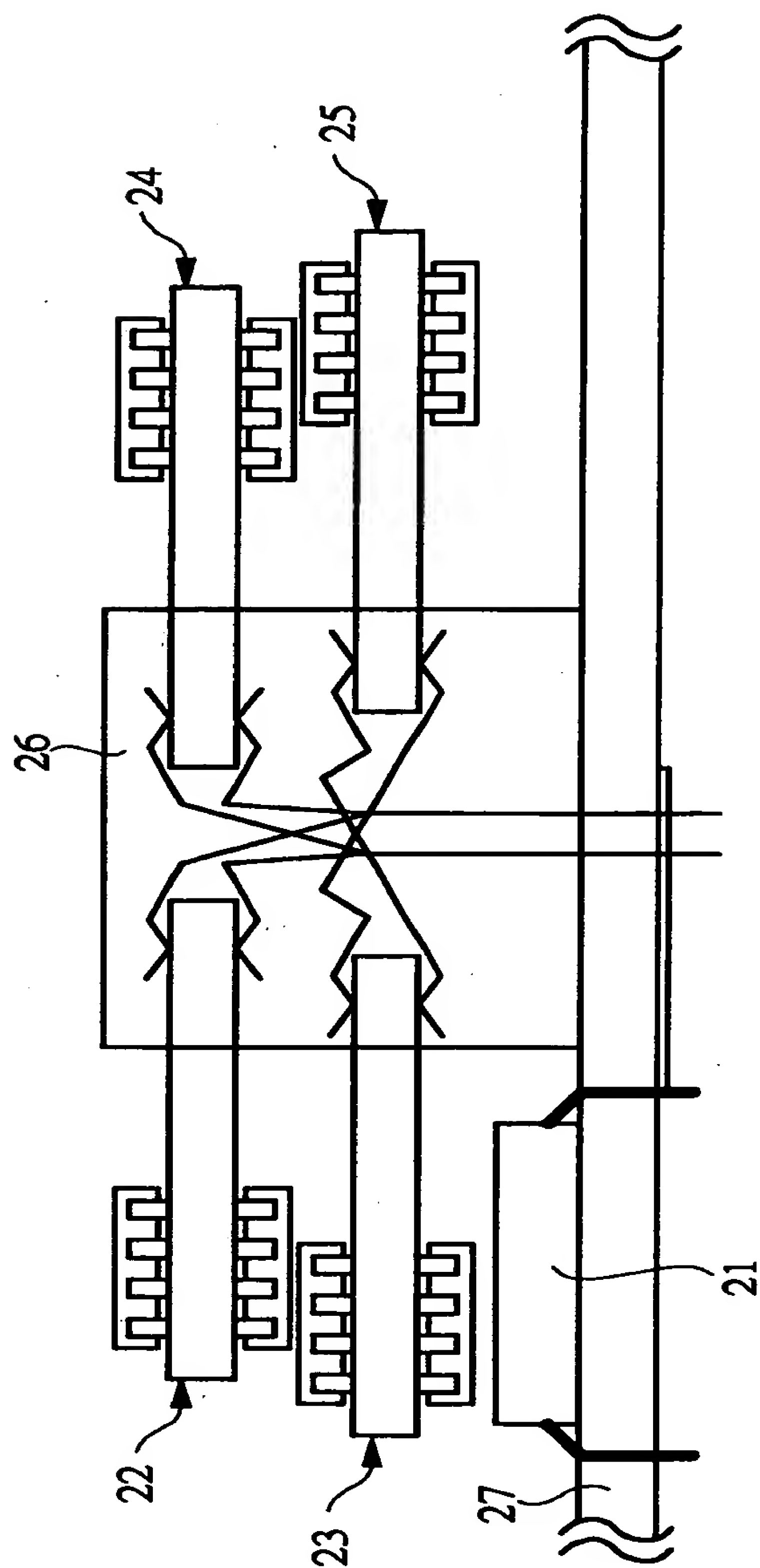
【図 9】

図 9



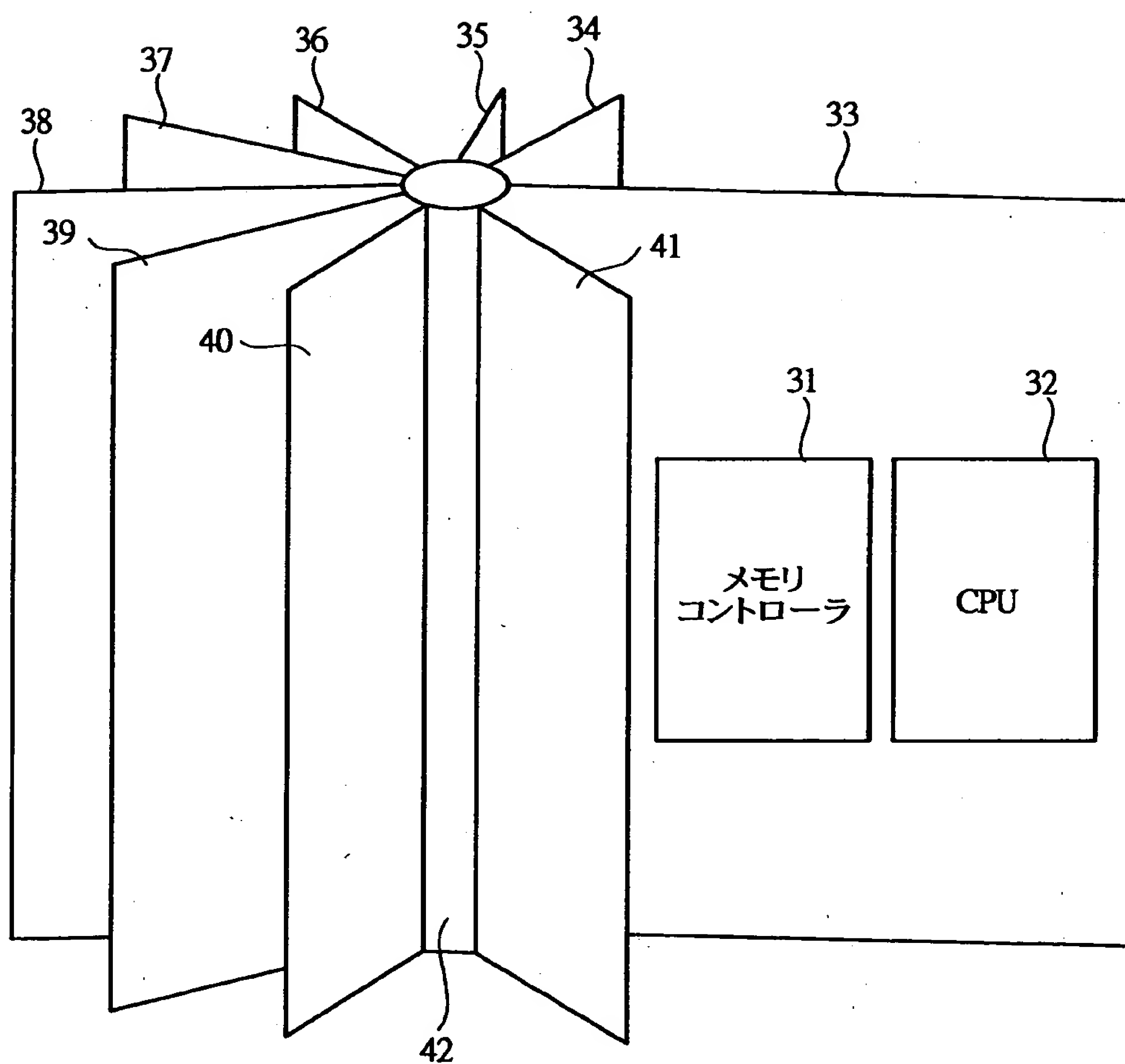
【図 1 0】

図 10



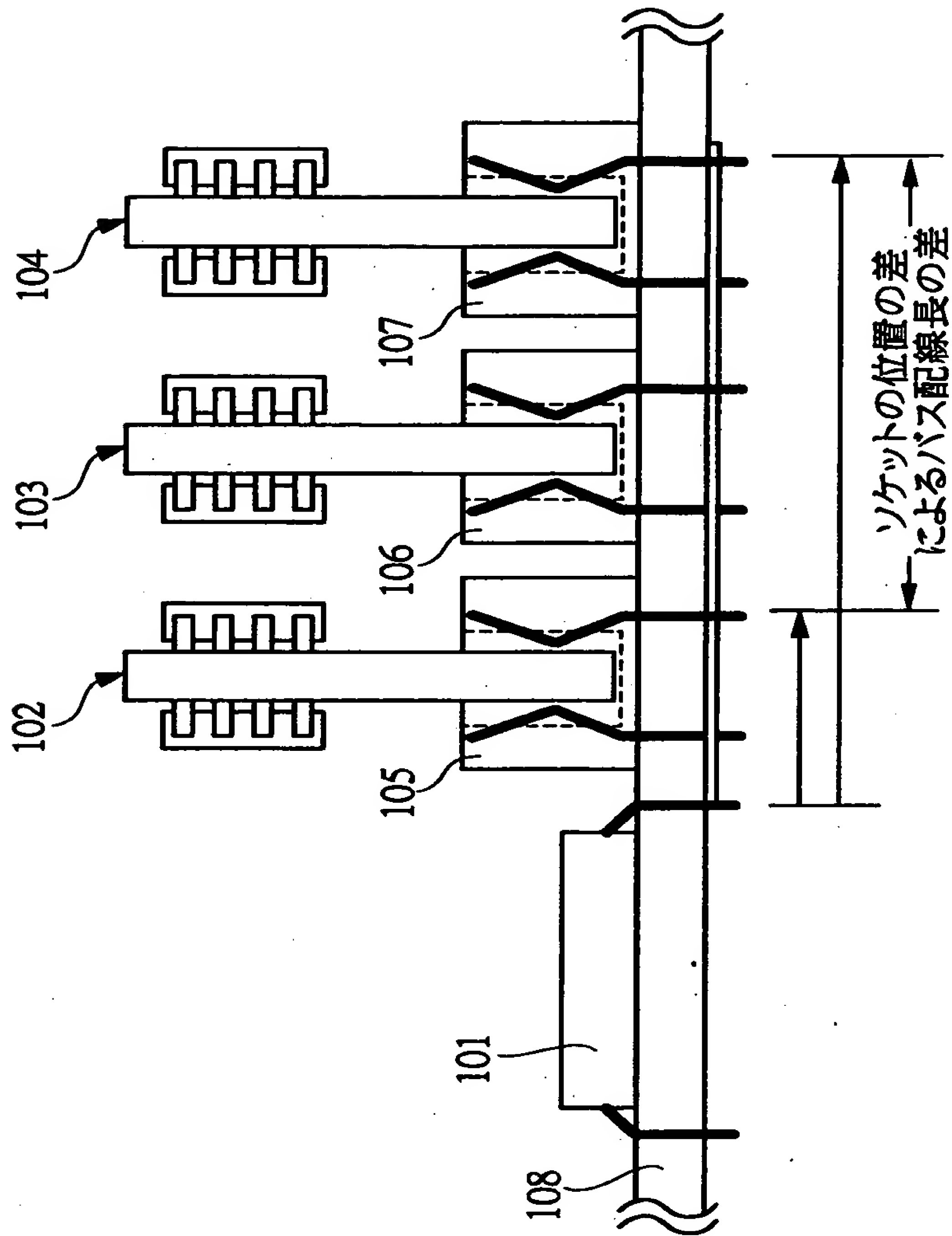
【図11】

図 11

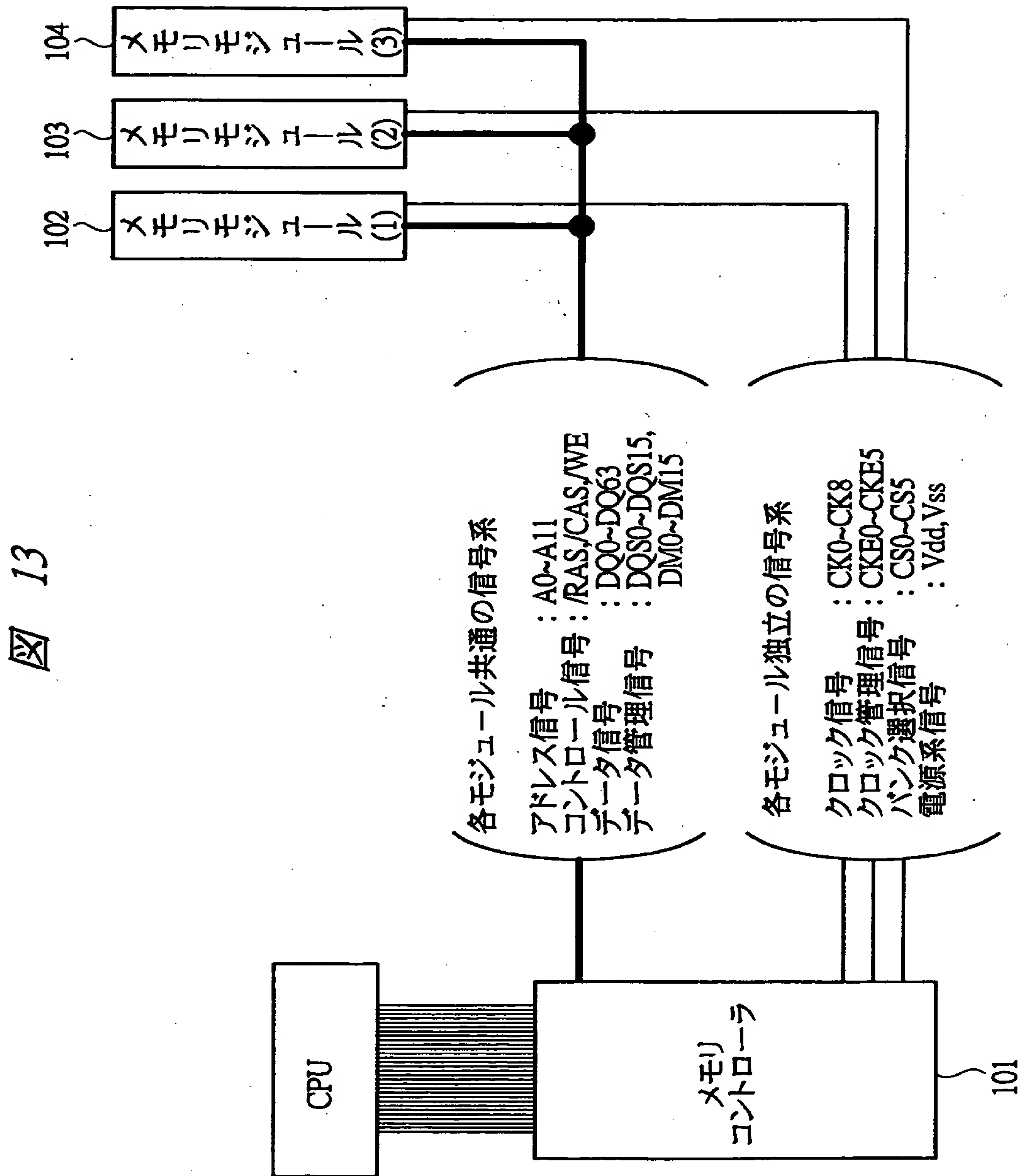


【図 1 2】

図 12

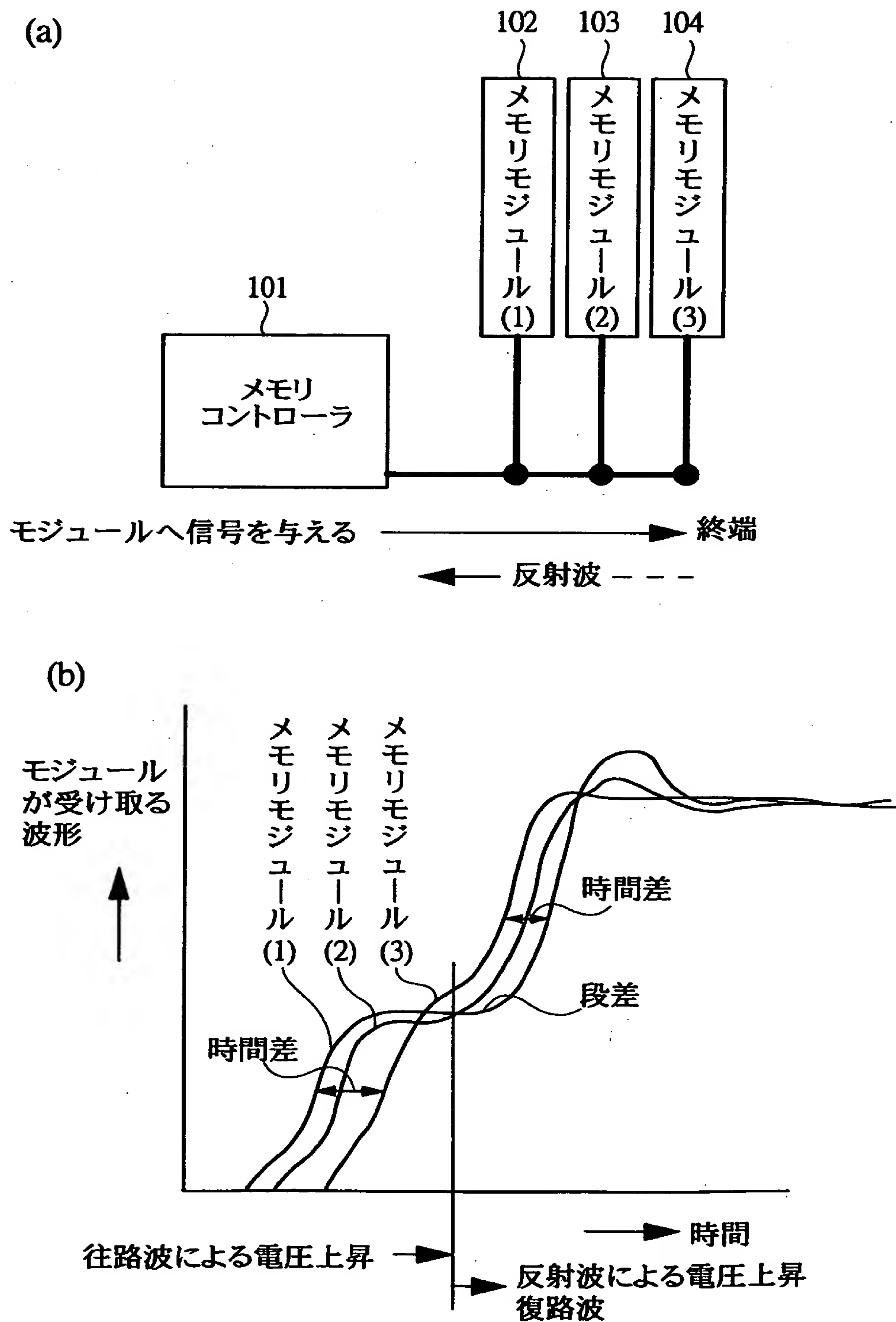


【図 1 3】



【図 14】

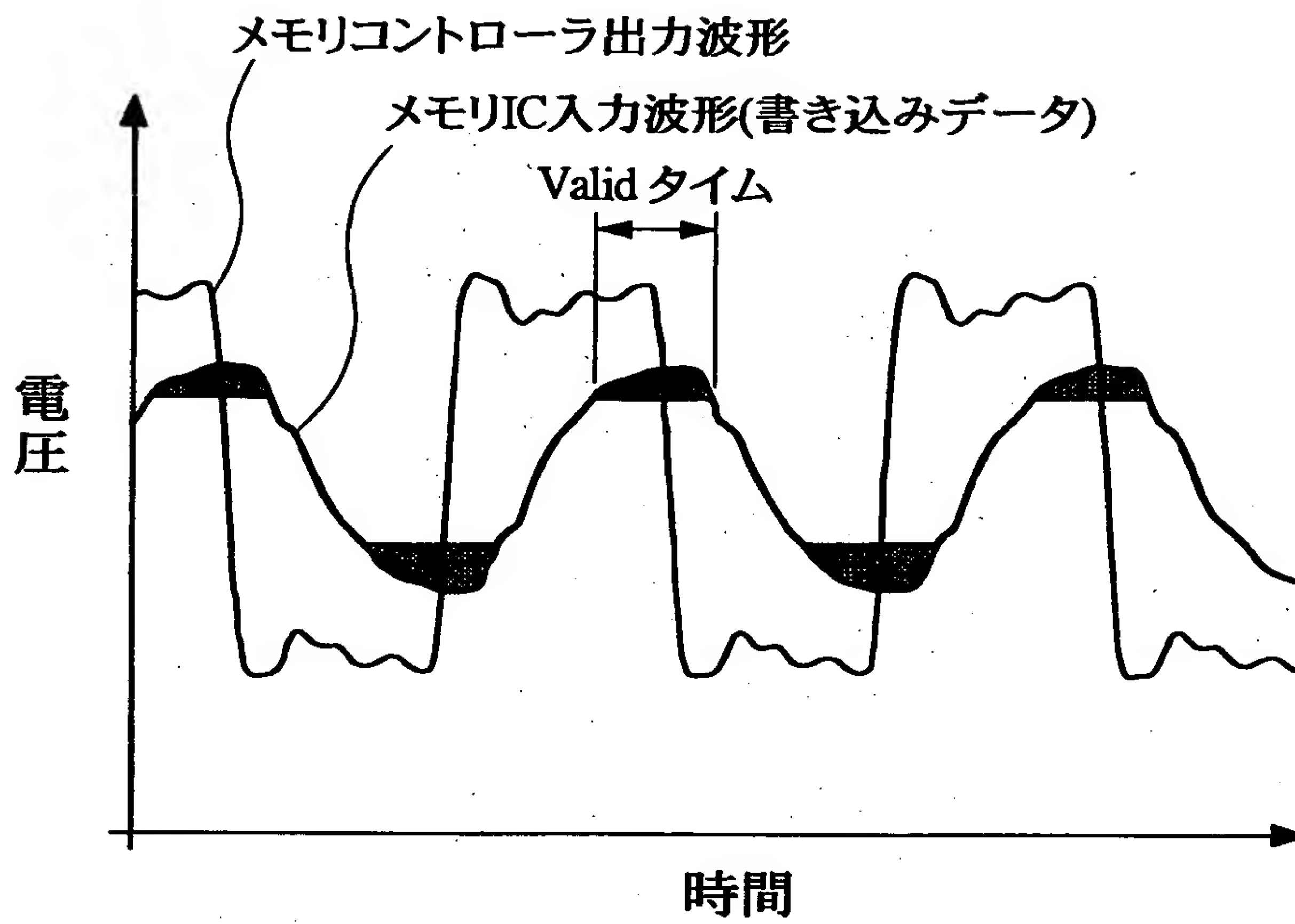
図 14



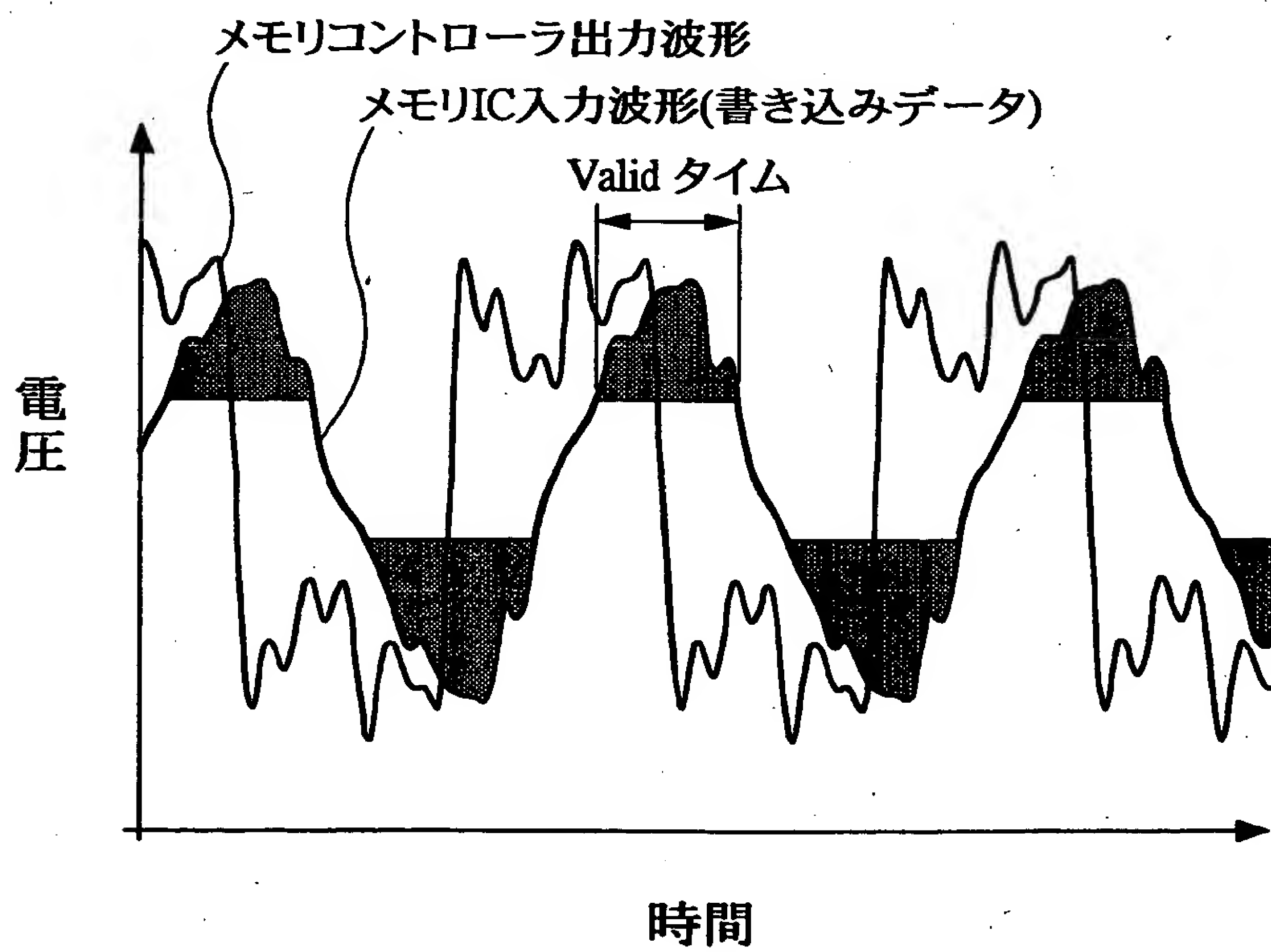
【図15】

図 15

(a)



(b)



【書類名】 要約書

【要約】

【課題】 メモリコントローラと複数のメモリジュールとを等距離に接続することができるメモリシステムを提供する。

【解決手段】 メモリコントローラ 1 と、3 枚のメモリモジュール 2 ～ 4 と、この 3 枚のメモリモジュール 2 ～ 4 が挿抜可能な 1 つのソケット 5 と、これらのメモリコントローラ 1 およびソケット 5 が実装されるマザーボード 6 などから構成されるメモリシステムであって、メモリコントローラ 1 とメモリモジュール 2 ～ 4 とがマザーボード 6 上のバス配線 1 4 から枝分かれしたソケット 5 のソケットピン 1 2, 1 3 を介して等距離に接続されている。ソケット 5 は、各メモリモジュール 2 ～ 4 に対応して 3 組の複数のソケットピン 1 2, 1 3 が放射状に設けられ、1 つの基板バス接続部に対して、3 つのモジュール接栓接触部を持つ構造と、1 つのモジュール接栓接触部を持つ構造とがある。

【選択図】 図 1

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住所 東京都千代田区神田駿河台4丁目6番地
氏名 株式会社日立製作所